

ASIC設計環境のシステム化

Improvement of ASIC Design Environment

丹生 和 男*

Tansho, Kazuo

Today, ASIC is the key component of electronic equipment. Shortening its developing time is essential for developing products. To improve this, we studied the best use of EWS and PC by using a distributed processing system. Also the on-line data transfer and remote operation between design tools were considered to reduce wasted time for data transfer and changing design tools. Finally, we could configure an ASIC design system with Ethernet and telephone circuit networks which enable effective use and sharing of each design tool. As a result, the efficiency of ASIC development was improved more than 30% and optimal operation of the tools were established.

1 はじめに

ASIC (Application Specific Integrated Circuit) は、電子機器におけるキーパーツである。機器の高機能化・高性能化を図るとともに、ASIC開発期間を短縮することが商品開発における大きな課題である。

ASICのニーズは、年々増加し、多品種、大規模化が進んでいる。開発ニーズも、①機器試作、生産システムの開発、②異システムとのインタフェース、③使用半導体デバイスの指定、④デジタル、アナログ等の回路指定等と用途・機能が多様である。このような状況下で、目的ごとに必要な設備をすることは大きな投資となる。また、ASIC設計者にとっても多種の装置操作を収得する負荷が生じる。このような課題を解決し、要求されるASICをタイムリーに提供するため、設計手法の改善と設計設備の有効利用するためのネットワークを活用した設計環境のシステム化を図る必要がある。

2 ASIC開発環境

2.1 ユーザインタフェース

ASIC開発の形態は、仕様書、回路図面等のドキュメント情報からの場合と、ユーザが所持する種々の設計ツールにより生成した回路接続情報(各種データ形式)からの場合がある。前者については、論理設計、回路図入力等の人手による作業が必要であるが、後者については、EDIF (Electronic Design Interchange Format) データから回路図の自動変換処理を可能とした。

2.2 デジタルASIC開発

ASICの実現方法は、論理接続情報をプログラムすることにより社内で構築可能なFPGA (Field Programmable Gate Array) を採用する方法と、回路接続情報、レイア

ウト情報等の設計仕様・条件を半導体ベンダに提示し、製造を委託するゲートアレイ、スタンダードセル方式等に分けている。機能、動作検証までの開発手順はほぼ同様であり、一般にEWS上で全て実行される。しかし処理の観点から、並列の作業性をあげるため処理速度に比べ入出力端末数が必要なものと、複雑、大規模データを自動処理するための高速、高性能機能が必要なものがある。以上の点から、回路図入力、検証用データ作成等のインタラクティブな処理は、パソコン、X端末等の廉価な入出力端末に、機能検証、配置配線処理等のバッチ処理は、処理能力の大きいEWSに処理を分散し、処理に適した設備を利用できる環境とした。

2.3 アナログASIC開発

デジタルASICに比べ、使用する半導体特性の影響が大きい。特に素子の配置、配線結果が回路特性を大きく左右する。そのため、レイアウトパターンを含めた大量の検証が必要であり、大きな開発工数を要する。大量なデータ処理、処理時間短縮のためEWS上に構築した。

2.4 半導体チップ検証

製造された半導体チップの実動作を検証し、仕様を満足するASICをユーザに提供するため、設計時のEWS等での検証データを取り込み、ASICテストと連携して評価できる環境とした。

3 ネットワーク化

3.1 イーサネットの利用

個々のEWS、パソコン等すべての設計設備を、イーサネットを介して接続し、端末の相互通信を可能とした。オンラインデータ授受により、磁気テープ、フロッピーディスク等を用いた人手作業を省き、データの一元管理により人為的ミスの削減を図った。また、各種設計支援ソフトウェアを処理負荷、作業内容に適した端末上に搭

*技術研究所

載し、特定の端末から、目的の処理が可能な端末へリモートログインし、設計者が移動することなく実行可能とした。インタラクティブな処理や複数ジョブの並列実行が可能であり、30%以上の運用効率の向上が図れた。

3.2 公衆電話回線の利用

遠隔地ユーザとのデータ授受は、公衆電話回線を介してパソコン同士を直接接続し、仕様書等の文書ファイル、設計データファイルのオンライン授受を実現した。転送ファイルは、20~30%に圧縮し、2400ビット/秒のモデムにより送信する。転送効率は、約50%であるが、圧縮効果により見かけ上約3倍の速度となる。5Kゲート規模のゲートレイ設計データの転送時間は、5分程度で、人による搬送に比べ、時間、経費とも大幅な削減ができ、修正、変更等の対応が迅速にできる。パソコンは、ネットワーク接続しているため、授受データをオンラインで目的の処理端末に転送できる。なお公衆電話回線との接続は、通信ソフトウェアを起動し通信時のみ行うため、一般のパソコン通信に比べ守秘性に優れている。半導体ベンダとのデータ授受も効率化するためパソコン通信を採用した。

3.3 公衆デジタル回線の利用

遠隔地に設置された設計設備を相互に有効活用するため、双方のLANを公衆デジタル回線を使用し接続した。接続には、メタルワイヤー、光ファイバーやレーザービームを用いる手法等があるが、導入が容易であり、設備、

運用経費の少ないINS64を採用した。これにより、接続先のLANが透過的に見えるため、目的の設計支援ソフトウェアをリモートで利用でき、人の移動なく、見かけ上同一環境で各種の処理が実行できる。64Kビット/秒のBチャンネルデジタル通信モード（回線交換）なので、通信速度の点からリアルタイムの画像表示は低速であるが、文字表示は問題ない。(Fig.1参照)

4 むすび

分散するリソースをネットワークを介して有機的に結合し、設備の共用、設計ツールの有効利用可能な開発環境のシステム化を図った。設備の最適利用により、従来の設計工数に比べ、例えば、FPGAの配置配線処理が約25%に、検証用データ作成が約50%に短縮できた。さらに、人の移動時間、オフラインのためのデータ授受時間、ツールの集中利用における待ち時間等の間接的工数を削減し、総合で30%以上の効率化を達成した。また設備投資も抑えることができた。

今後は、各所に分離されたネットワークとの密結合を図るとともに、設備のインテグレイト、ハードウェア記述言語による設計の自動化等、設計手法の改善を含めより効率的な設計環境を実現する。終わりに、ASIC開発環境構築に御尽力頂いた、技術研究所星野所長、傳田常任顧問、技術研究所黒沢首席研究員、画像システム事業部内田事業部長に深謝致します。

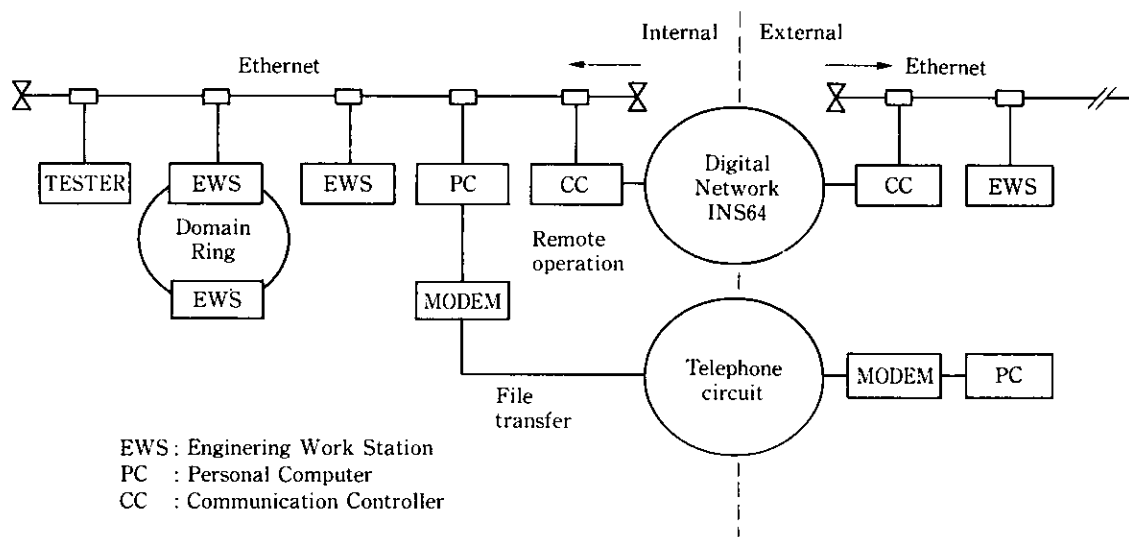


Fig. 1 System configuration of ASIC design environment