

デジタル色収差補正方式の開発

Development of Digital Compensation Method for Color Aberration

平本 健一郎*
Hiramoto, Kenichirou

阿久根 潤一郎*
Akune, Junichirou

We have developed a new compensation method for color aberration. Recording data is calculated from image data by interpolation, according to color aberration in each position. This method is also able to compensate for jitter and size adjustment. The algorithm and a hardware structure to realize this method are introduced. We have applied this method to a printer which has a $f\theta$ lens for single wavelength.

1 まえがき

複数波長のレーザービームを平面走査するカラーレーザー記録装置において、偏向光学系に単一波長用の $f\theta$ レンズを使用すると色収差が発生する。したがって補正なしでは、各レーザービームの結像位置に差が生じ、色ごとにずれた像が記録されてしまう。

従来、色収差の補正は色消しレンズの採用、もしくは画像記録クロックを制御することで対応していた。しかし、新規に色消しレンズを開発するとコスト高になり、また波長の変更、ばらつきに対応できない。他方画像記録クロックを制御する方法では、最も簡単なレーザー光変調方式である、PWM方式とのマッチングを考慮せねばならない等の問題があった。

今回、既存の単一波長用の $f\theta$ レンズを用いた光学系に対し、色収差の補正を比較的簡単な構成で実現した。この方式では倍率の微調整、ジッタの補正も可能である。

2 補正方式と処理回路構成

2-1 色収差の補正方法

本方式では、画像信号を各色毎に主走査各位置における色収差に応じた係数で変換し、補正を行う。

Fig. 1は、画素インデックスに対する記録位置のずれをモデル化して表したものであり、画素インデックスに対し、理想的記録カーブ $P(x)$ 、および色収差等を有する実際の記録カーブ $Q(x)$ を示している。理想的記録カーブとしては、レンズの色収差、ディストーション等の影響のない、記録インデックスにおける位置が直線的に変化するカーブを仮定してもよい。あるいは、多波長のレーザービームの記録カーブのうちの1波長をリファレンスとしてもよい。

Fig. 1において、実際の画素インデックス i に対する補正インデックスは以下のようにして算出できる。

(1) i 画素目の画像データの記録位置を求める。

Fig. 1では i より $D=Q(i)$ を得る。

(2) D の理想的記録カーブにおける画素インデックス $P^{-1}(D)$ を求める。

(3) インデックス $P^{-1}(D)$ は通常小数部を含む。このため、まず $P^{-1}(D)$ を挟む整数画素インデックスを求める。これを $j, j+1$ とする。さらに、インデックス i に対する補正インデックスの小数部 $\alpha = P^{-1}(D) - j$ を求める。以上から、 i, j, α の組をテーブルとして作成する。

(1)~(3)により、画素インデックス i の時には画素インデックス $j+\alpha$ の位置における該当色のデータを出力すれば実際の記録位置に対応すべきデータが記録される。

作成したテーブルからの画素インデックス $j+\alpha$ の時の画素値 $Y[i]$ の算出は入力画像 $x[j], x[j+1], \dots$ のデータを用い補間により行う。補間は、たとえば線形1次補間、3次補間等を用いることができる。

上記補正方式では、構成部品のばらつきや装置の組み付け等で生じる、規定倍率からのずれの微調整もあわせて行うことができる。始めに画素インデックスに対して補正倍率における画素インデックスを実数で求めておき、さらにその画素インデックスに対応する色収差補正インデックスを求める。すなわち、補正テーブルを作成する際の画素インデックスを倍率調整後の画素インデックスと読み替えれば、前述の補正テーブルの作成方法をそのまま用いて倍率の微調整も併せて行う補正テーブルを作成できる。

2-2 ジッタの補正

水平同期 (Hsync) 信号からの記録クロックの位相ずれ (ジッタ) 情報を毎走査得ることで、ジッタの補正も可能とした。例えば、 $1/4$ 画素の精度でジッタを検出するには、水平同期信号を記録クロックに同期した4倍のクロックを用い検出する (Fig. 2)。一般に 2^n 倍の同期クロックから、 n ビットのジッタ情報が得ることができる。クロックと Hsync 信号との位相関係が Fig. 2 の場合、ジッタにより $1/2$ 画素記録位置が遅れる。従って、ジッタを 2 と定義する。補正回路では、ジッタ = 2 の情報から、この主走査に対しては補正の座標を全体に 0.5 移動する。一般に、前述の変数 j, α に各走査時得られるジッタ補正量 $-\beta$ を加え、新たに j, α とすることで、ジッタも併せて補正可能である。

* 技術研究所 研究グループ

2-3 色収差補正ブロック図

Fig. 3は補正回路演算部分のブロック図（1色分）である。各色2ラインずつのメモリを各主走査で切り替え、データ受信と変換を交互に行う。ラインメモリに対する書き込みアドレスwaは、前段からの受信データwdに位相をあわせて生成される。また補正テーブル参照アドレスiは、各色のHsync信号から所定のタイミングにて生成される。補正データj、 α はその走査における各色のジッタ β と演算され、 j' 、 α' となる。次に、 j' 、 $j'+1$ に対するデータ $x[j']$ 、 $x[j'+1]$ がラインメモリから参照され、それぞれ補間演算部において重み $1-\alpha'$ 、 α' と演算される。以上により、出力

$$y[i] = (1 - \alpha) x[j] + \alpha x[j + 1]$$

を得る。補間は線形1次式で行う。また、画像の主観評価、LD記録パワーのシミュレーションを行った予備実験の結果をもとに、倍密度で変換、記録を行う仕様とした。このことで、解像度の低下を防止でき、1次補間による変換と解像度との問題をクリアした。回路は複数のFPGAで構成した。入力データレートは5.5 MHz、出力

データレートは11 MHzである。ASIC化時の換算ゲート数は1色あたり5k弱であり、3色分で15k弱である。

3 結果とまとめ

サンプルとして、たて線の繰り返しチャート、各種ポイント文字等を用い評価した。無補正時には、各走査Hsyncセンサから離れるにつれ、色収差による色ずれが大きくなる。その結果、縦線が色分解したり、文字に色が付いたり、あるいはぼけて見えたりするようになる。一方、補正出力時のサンプルでは、それらの影響が見られなくなった。

また色収差の補正と同時に、倍率の機差についても、微調整可能なことを確認し、ジッタの補正についても、補正効果が確認できた。

最後にFPGAの開発にご指導ご協力いただいた技術研究所第1グループ、ASICグループの皆様に深く感謝いたします。

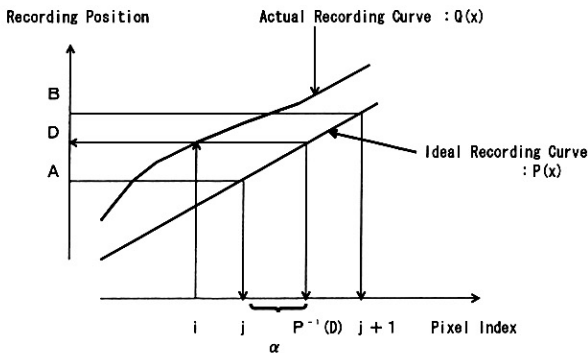


Fig. 1 Principle of Compensation Method

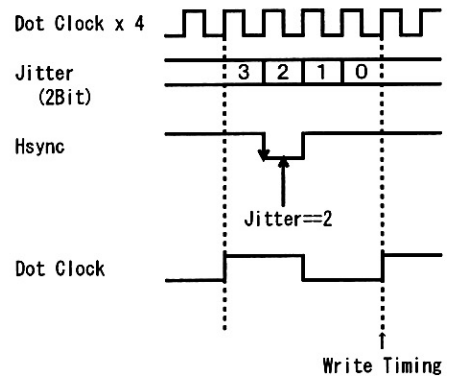


Fig. 2 Timing Chart for Jitter Detection

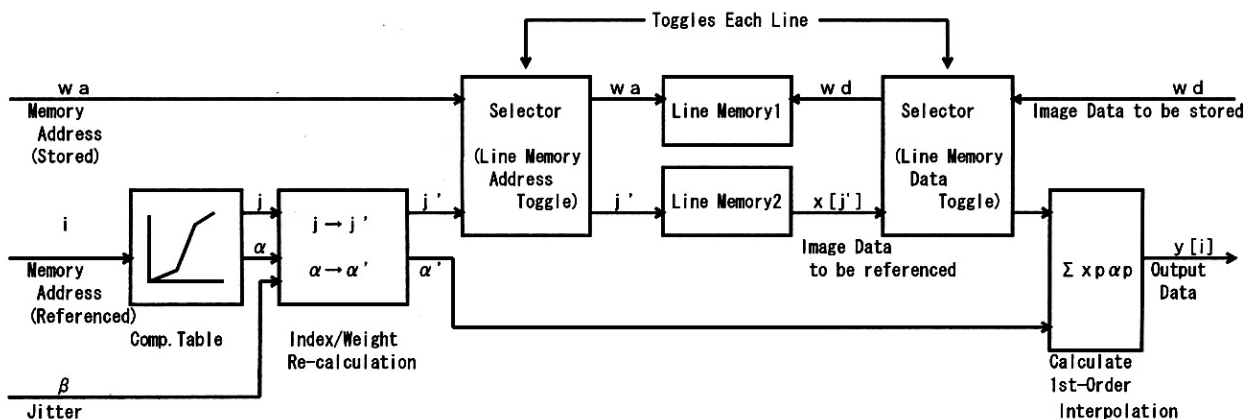


Fig. 3 Block Diagram of the Compensation Circuit