

# 製品開発における FPGA の活用と性能評価

Evaluation and Application of FPGAs for Product Developments

伴 田 啓 司\*      丹 生 和 男\*  
Handa, Keiji      Tansho, Kazuo

FPGA is the effective device for quick prototyping and low volume production. We have shown the guide line for usage of FPGA with the results of the original evaluation circuit and adaptation examples to a few products.

Circuit volume : LCA can be used for 0.5K~13K gates and ORCA2C can be used for over 13K gates.

Operating frequency : The MAX7000 series is effective for a circuit which is operated over 30MHz.

ORCA2C is effective for a circuit which is operated under 30MHz and LCA is also effective under 20MHz.

## 1 はじめに

電子機器の開発期間短縮、機器の差別化において、ASIC (Application Specific IC) は、重要なキーデバイスである。ASIC の実現方法としては、FPGA (Field Programmable Gate Array)、ゲートアレイ、スタンダードセル等があるが、製品のプロトタイプ作成や量産立ち上げ、少量生産機器には、開発期間が短く、開発費が削減できることからFPGAが多用されている。しかし、動作速度や集積度の面で不利な点もあり、FPGAの採用においては、実現システムに必要な性能、条件等を明らかにし、スペックを満足するデバイスを選択する必要がある<sup>1)</sup>。

そこで、FPGAの性能評価方法を定め、各FPGAベンダーのデバイスについて評価を行った。これらの結果から実際の製品開発に適用した事例をもとに性能評価を行い、デバイスの選択基準、指標を明らかにした。

## 2 FPGAの構成と特徴

FPGAは、Fig.1に示すようにアレイ状に配置された基本論理回路あるいは、基本ゲート回路と配線、及びこれらを接続するためのプログラム素子があらかじめ半導体チップ上に構築されたデバイスであり、ユーザーが手元でプログラムし、目的とする回路を実現することができるLSIである。本報告では、CPLD (Complex PLD)を含め、広義のFPGAとして述べる。

デバイスは、回路を再構築可能なデバイスと再構築不可能なデバイスに大別される。これは、主に構成するプログラム素子に依存する。前者のデバイスは、基本論理回路と配線及びこれらを接続するためのトランジスタスイッチで構成され、これらの素子を外部或いは内蔵のSRAM、EPROM、EEPROM等のメモリ回路で制御する。

後者は、一般的にアンチヒューズと呼ばれるプログラ

\*技術研究所 研究グループ

ム素子とゲートアレイのような基本ゲート素子アレイ及び配線から構成される。

プログラム素子は、デバイスの性能、実装回路規模等を左右する。メモリ回路を使用したデバイスの場合、メモリ情報で制御されるトランジスタスイッチにより回路を接続するため、接続部の抵抗・容量 (SRAM 0.8  $\mu\text{m}$  技術、ゲート幅 2.4  $\mu\text{m}$  で約 1.6 K $\Omega$ 、約 11 fF) が大きく、高速なデバイスを実現することが容易でない。抵抗を小さくするためには、素子面積を大きくしなければならないが、回路の実装密度が低下し、配線容量が増加してしまう。アンチヒューズを用いたプログラム素子は、接続配線間に絶縁膜を挟んだ構造であり、絶縁膜を電気的に破壊することで接続を行う。接続部の抵抗・容量はトランジスタスイッチに比べ、1/3 から 1/5 と小さく、高速化、高密度化に有利である<sup>2)</sup>。しかし、製造プロセスが特殊であり、歩留まりと信頼性、テストビリティ等の向上に課題がある。

基本論理回路の実現方式としては、ルックアップテーブル、PLD、セクタ方式等があり、1ユニット当たりの回路規模、回路構成も種々ある。配線の布線構成についても、配線遅延を考慮したチップ横断やクロック専用の配線を設ける等の高速化の工夫をしている。これらを組み合わせ各社独自のデバイスを構築している。

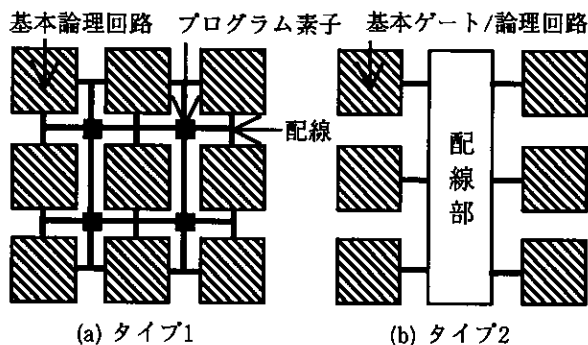


Fig.1 FPGA 内部構造の模式図

### 3 FPGA 活用の効果

回路図やHDL (Hardware Description Language) 記述から生成された接続情報により回路構築用のプログラムデータを作成し、FPGA に書き込むことで目的の半導体回路を実現できる。開発ツールは、パソコンベースの環境で動作するものが多く、システム設計者が回路設計と同時進行でFPGA 開発を進めることも可能である。FPGA 活用の効果を一般的に開発しやすいゲートアレイに対比して、以下に述べる。

#### (1) 開発機器の試作

個別部品により開発製品の評価装置を作成することは多くの時間と労力を要するだけでなく、仕様変更、回路修正時の対処も大変である。これに対し、FPGA は、パソコン上でデータの作成、修正を行うだけでよく、柔軟性に富んだ対処ができる。したがって、仕様書に規定しにくい部分や、曖昧な仕様状態の回路をシステム全体で評価しつつ、確定作業を進めることも可能である。

#### (2) 多品種少量生産機器用

ユーザーが手元で、一個単位で短期間に実現できるため、少量生産機器や個別対応の機能、機種実現においても柔軟に対処できる。

#### (3) 開発期間の短縮

ゲートアレイやスタンダードセルは、仕様に基づき論理設計、回路設計、機能検証、電気的特性の検証の順に実施され、その後半導体チップ製造が行われる。一方、FPGA の場合、製造準備された半導体チップに対し、回路接続情報をプログラムすればよいから、検証後即座にデバイスが得られる。また、実機デバッグにより生じた仕様変更、修正への対応も容易であることから、Fig. 2 に示すように開発期間の約1/3を占める検証作業を軽減でき、故障検証が不要であり、そのためのテスト回路を付加する必要もないため、大幅な期間短縮ができる。チップ製造期間(通常ゲートアレイで1~1.5ヶ月)が不要であることも有利な点である。

#### (4) 開発費の削減

高額な半導体チップ開発製造費(10Kゲート規模のゲートアレイで400~500万円)が不要であり、再書き込み可能なデバイスを採用した場合、仕様変更、修正の繰り返しにおいて、追加費用が発生しない。デバイス単価は、ゲートアレイと比べ、数千ゲート規模のデバイスで数十倍以上と高いが、製品開発の試作、少量生産機器においては、大量のデバイスを必要としないため、トータル的なコストメリットがある。

#### (5) 量産品への移行

パソコン上で、開発、検証を完了した設計資産は、

FPGA による実動作が確認されているため、開発機器を量産へ移行する際、ゲートアレイ等の作成に利用でき、ミスのないASIC を短期間に実現できる。

#### (6) 高速、大規模なデバイス

高速動作、大規模回路のASIC 開発要求に対し、現状、ゲートアレイと同等には位置づけられないが、半導体技術の進展に伴い、デバイス性能の改善、高密度化による価格低下が進んでおり、小規模回路のASIC では、ゲートアレイの代替にもなりうる状況である<sup>3)</sup>。また、小規模メモリブロックを搭載するデバイスの開発報告もある。

以上述べたように、製品開発の試作、多品種少量生産機器用のASIC としてFPGA は有効であり、多用されている。そこで、最も経済的な再構築可能なデバイスを対象に性能評価を行い、実際の機器開発への適用を図った。

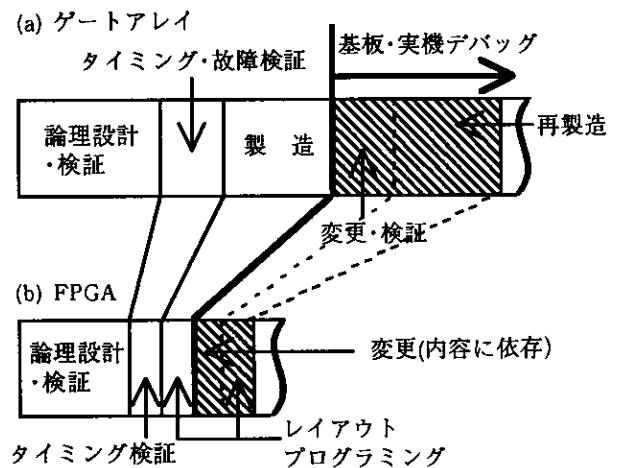


Fig. 2 開発工数の比較 (小規模回路)

### 4 FPGA の性能評価と開発事例

従来より再構築可能なデバイスとして、Xilinx 社のLCA が多用されている。しかし、画像処理機器等の開発システムの高速度化にともない、目的とする性能を実現できないケースが増えてきた。そこで、独自の評価回路による各社FPGA の性能評価を行うとともに、製品開発への適応事例をもとに、有効なデバイスの選択基準、指針を明らかにした。

#### 4.1 FPGA の性能比較

性能比較は、再構築可能なデバイスより、デバイスタイプが豊富で開発環境の整っているXilinx 社のLCA XC 4000 シリーズ (以下XC 4000 と略す)、ATT 社のORCA 2C シリーズ (以下ORCA 2C と略す)、ALTERA 社のMAX 7000 シリーズ (以下MAX 7000 と略す) 3社のデバイスを選択し、行った。

評価方法は、画像処理回路に多く用いられる回路の中

から遅延の発生しやすい回路を選ぶとともに、搭載基本論理回路ブロック（以下内部セルと略す）を60～80%使用した状態で行った。その中から、特に遅延の発生しやすい以下の3ケースについての比較結果をTable 1-1に示し、以下に評価を述べる。

(1) CASE A では、16 bit カウンターの LSB からのキャリーが MSB まで伝搬され、4 系統 3 段のマルチプレクサを通過し、出力されるまでの論理が深く分岐の多い経路を比較した。結果は MAX 7000 が最も速く、ORCA 2C、XC 4000 の順で遅延が倍増している。

(2) CASE B では、16 bit カウンターの LSB からのキャリーが MSB まで伝搬され、16 BIT マグニチュードコンパレータを通過し、次段のフリップフロップ（以下 DFF と略す）にセットアップされるまでの経路で最も論理の深くなる部分を比較した。結果は、MAX 7000、ORCA 2C がほぼ同じ値となり、XC 4000 が最も遅い結果となった。XC 4000 は他のデバイスの半分の速度でしか動作しない。

(3) CASE C では、16 bit 加算器の LSB からのキャリーが MSB まで伝搬され、キャリアウトから出力された信号が次段の DFF にセットアップされるまでの伝搬遅延を比較した。結果は、ORCA 2C が最も速く、MAX 7000、XC 4000 の順であった。

規模と、DFF の数の比較を Table 1-2 に示す。規模、DFF の数ともに ORCA 2C が最も大きく、XC 4000 は中規模、MAX 7000 は小規模な回路に使用が可能である。特に MAX 7000 は搭載されている

DFF の数が 256 個と非常に少ないため、注意が必要である。

Table 1-1 FPGA 3 社の性能比較

測定方法	XC4000	MAX7000	ORCA 2C
CASE A	28.2 nS	8.0 nS	15.6 nS
CASE B	46.7 nS	27.0 nS	24.1 nS
CASE C	33.1 nS	23.0 nS	16.9 nS

Table 1-2 FPGA 3 社の規模比較

デバイス	使用可能ゲート数	最大 DFF 数
XC4000	2K ~ 13K GATE	1120 DFF
MAX7000	0.6K ~ 5K GATE	256 DFF
ORCA 2C	4K ~ 40K GATE	3600 DFF

#### 4.2 製品開発への適応事例

実際の製品開発において動作速度、回路規模等の要求から適応デバイスを選択し、開発した事例と、その結果を Table 2 の各項目の太枠部に示し、以下に概要を述べる。

(1) 適応例 1 は、72 Mbit の DRAM を制御するメモリーコントローラで、16 bit カウンター 24 個と、マルチプレクサから構成されており、遅延の発生が大きくなり易い回路である。回路規模が 7.5 K ゲートと FPGA としては大きく要求動作速度も高かったため、MAX 7000 シリーズを選択し、EPM 7256 を 1 個と EPM 7160 を 1 個に分割することで実動作速度 45.4 MHz が得られた。

Table 2 製品開発における FPGA の適応例と評価結果

No.	回路名称(規模)	エントリー方法	要求動作速度	適用デバイス(使用率)[実動作速度]		
				LCA	ALTERA	ORCA
1	大規模メモリーコントローラ (7.5K ゲート)	回路図	36 MHz	XC4010PQ208 (83%) [20.2 MHz] * 1	EPM7256MQ208 (80%) * 3 EPM7160PQ160 (81%) [45.4 MHz]	-
2	LED ドライバ (13K ゲート)	回路図	12 MHz	XC4013PQ208 (93%) [14.85 MHz] * 2	規模不適 FF数不足	2C26PQ208 (75.3%) [16.05 MHz] * 4
		HDL		[14.85 MHz]		
3	SYNC 信号 生成回路 (15K ゲート)	HDL	44 MHz	規模不適	規模不適	2C26PQ304 (77.8%) [51.3 MHz]
4	メモリーコントローラ (2K ゲート)	HDL	32 MHz	XC4010PQ208 (66%) [30.76 MHz]	EPM7256MQ208 (78%) [52.63 MHz]	ATT2C12PQ208 (55%) * 5 [14.47 MHz]

\* 1 XC4010: 10,000ゲート相当品 \* 3 EPM7256: 5,000ゲート相当品、EPM7160: 3,200ゲート相当品  
\* 2 XC4013: 13,000ゲート相当品 \* 4 2C26: 26,000ゲート相当品 \* 5 2C12: 12,000ゲート相当品

(2) 適応例2は、12 bit 48 段のラッチ回路を含んでおり、1068 個と非常に多数の DFF を必要とする。そのためデバイスは、1120 個の DFF を搭載した XC 4013 を選択し、HDL 入力よりも速度、集積度の面で一般的に 30 ~ 40 % 有利な回路図入力での開発を行った。その結果、内部セルの使用率は 100 % となったが、実動作速度 14.85 MHz が得られた。

(3) 適応例 3 は、回路規模が 15 K ゲートと非常に大きく、3 系統のクロックを使用し、回路の一部を 44 MHz で動作させなければならないため、2C26 を選択した。結果は、3 系統のクロックのスペックがそれぞれ 44 MHz、22 MHz、11 MHz に対し、実動作速度 51.3 MHz、71.8 MHz、12.0 MHz が得られた。

(4) 適応例 4 は、回路規模は 2 K ゲートと小さいが、全体を 30 MHz の高速クロックで動作させなければならない、さらに開発期間の短縮とゲートアレイへのリターゲットから、一般に回路図入力の 60 ~ 70 % のパフォーマンスしか得られない HDL で設計を行う必要があり、高速な MAX 7000 シリーズを用いて開発を行った。結果は、EPM 7256 の内部セル使用率 78 %、実動作速度 52.63 MHz が得られた。

#### 4.3 リターゲットによる実験結果

上記 4 種の回路を他のデバイスにインプリメントして、その実現性と性能を比較した。

(1) 適応例1の回路は、1チップの XC 4000 で実現できたが、要求動作速度の 36 MHz に対し、最大動作速度 20.2 MHz と、MAX 7000 の半分以下の速度でしか動作せず仕様を満足することができなかった。

(2) 適応例 2 の回路は、MAX 7000 では、DFF が 256 個しか搭載されていないため、実現できない。ORCA 2C では、最高 3600 個の DFF が使用できるが、デバイスコストが XC 4013 の 3 倍になってしまう。また、この回路の 90 % 以上が繰り返し性の高いシフトレジスタで構成されているため、HDL を用いて設計した結果と回路図入力での結果が全く同じになった。

(3) 適応例 3 の回路は、回路規模が 15 K ゲートと非常に大きく高速動作を要求されたため他のデバイスでは実現できなかった。

(4) 適応例 4 の回路は、XC 4000 によりほぼ要求仕様に近い結果が得られたが、実動作速度は MAX 7000 の半分程度である。また、4.1 項での評価結果で、MAX 7000 と同程度の動作速度が得られた ORCA 2C が、最も動作速度が遅いという結果になった。これは、HDL で設計したこの回路が、ORCA 2C には不適切であったと思われる。

HDL からの論理合成は EXEMPLAR LOGIC 社の GALILEO を使用したが、ツールの依存性もあり、

他ツールによる評価も必要である。

#### 4.4 FPGA の選択基準

回路規模によるデバイス選択は、13 K ゲート以上の回路には最大搭載ゲート数 40K ゲート、DFF 数 3600 個の ORCA 2C が、0.5 K ゲート ~ 13 K ゲートの回路には、XC 4000 が有効である。MAX 7000 の適応範囲は 0.5 K ゲート ~ 5 K ゲートであり、XC 4000 と重複し、規模の面では、メリットが少ない。

動作速度によるデバイス選択は、回路図入力、HDL 入力による設計ともに 30 MHz 以上の動作速度が実現できる MAX 7000 が高速用として、30 MHz 以下では、ORCA 2C、20 MHz 以下では XC 4000 が適当である。但し、回路図入力に比べ HDL 入力により設計した場合、回路構成にも依存するが、30 ~ 40 % 程度の速度低下を考慮する必要がある。

したがって、大規模、高速動作の回路を実現する場合は高速、低速動作部分に回路を分割し、それぞれに適したデバイスを選択し、組み合わせて使用することで FPGA を有効に活用できる。

#### 5 むすび

各種 FPGA の特徴とその効果的な活用方法を明らかにするとともに、実際の製品開発に適応した事例や独自の評価回路による性能評価結果などから、FPGA の選択基準を明確にした。

また、今後 HDL による設計が増加していくことが予想され、各デバイス間のリターゲットが容易になることや、新しいアーキテクチャをもったデバイスが次々と市場に投入されていることなどから、システムを実現する上においてどのデバイスが最も適しているかを継続して検討していく必要がある。

#### ●参考文献

- 1) 仲野、今井：“FPGAの現状と技術動向”、電子情報通信学会信学技報 ICD 94-111、1994.9
- 2) “FPGA、ASIC 事業変革の担い手に”、日経マイクロデバイス、1992.10
- 3) Frank Caruthers：“ゲートアレイの領域を侵食する FPGA と CPLD”、日経エレクトロニクス、1995.6.19