

100万画素デジタルカメラ Q-M 100 の開発

ASICs for megapixel digital still camera Q-M100

高桑 誠*
Takakuwa, Makoto

高山 淳*
Takayama, Jun

永石 勝也**
Nagaishi, Katsuya

The Q-M100 has been designed with a 1/3" true megapixel CCD and a high performance MPU. Photo quality images are obtained by the true megapixel CCD. All processing of digitized pictures are done by the high performance MPU with software implementing Konica's picture processing technologies such as color reproduction with color management. Though this paper's main subject is to describe ASICs developed for Q-M100, explanation of the megapixel CCD and the high performance MPU are included to present whole picture data flow in Q-M100.

1 はじめに

Q-M100は、1/3インチ100万画素CCDイメージセンサを採用することで高画質且つ低価格を実現するとともに、高性能MPUを採用し、画像データデジタル処理を全てソフトウェアによる柔軟なものとする事で、カラーマネージメントをはじめコニカ画像処理技術を全面的に投入したデジタルスチルカメラ(DSC)である。

Q-M100において、ハードウェア的にASICとして実現されたものの解説を本文書の目的とするが、画像データフローを含めたシステムとして理解できるよう主要構成部品であるCCDイメージセンサ、画像処理エンジンMPUにも言及する。

2 概略ハードウェア構成

CCD, CDS/AD, TG M32R/D	CCD 画像取り込み部 MPU(画像処理エンジン, 2MバイトDRAM内蔵)
I/O-ASIC	M32R/D 外部バス制御, CCD バイナリデータバッファ, その他 I/O機能
PBC, LCD uPD780058	LCD、ビデオ表示制御 MPU(カメラシーケンス制御)
Opt & PanelMPU FlashROM	光学ユニット操作ボタン制御部 プログラム(M32R/D用)格納
CFカード	圧縮画像データ格納
ハードウェア的にASICとして実現されるものは上記の内、 I/O-ASIC, TG, PBCの3点になる。	

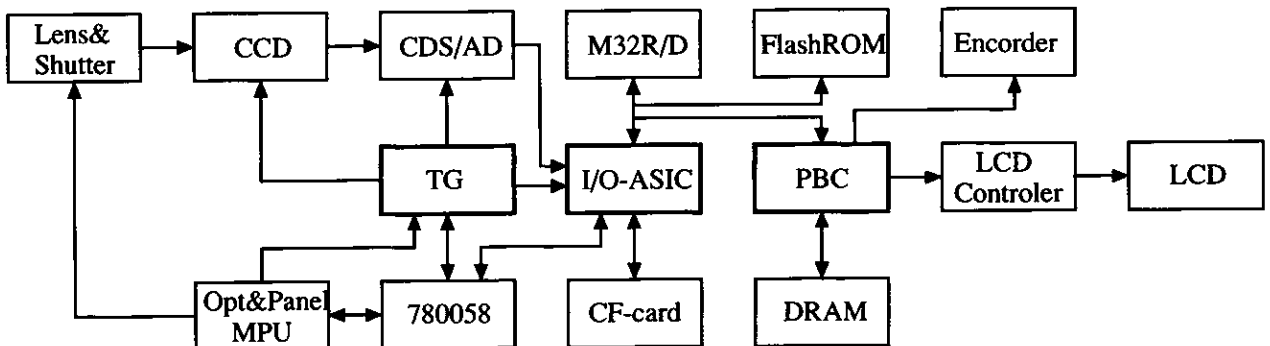


Fig.1 概略ハードウェア構成

* 中央研究所
** CDI 事業部

3 概略画像データフローと処理

CCDからの出力はTG (Timing Generator) に制御されるCDS (Correlated Double Sampling) 回路でアナログ処理を受けた後A/Dコンバータで10ビットのデジタルデータに変換されM32R/D内メモリに取り込まれる。このデータはCCD表面のモザイク状の補色フィルタを直接反映する。いったんデジタル化されメモリに取り込まれた画像データは、全てソフトウェアにより処理される。ソフトウェアが行う画像処理として、本撮影前の自動露出制御と自動焦点制御、さらに撮影後には白バランス制御、色処理、輝度信号色差信号(Y, Cr, Cb)への変換、そしてJPEG圧縮処理が行われる。最終的にJPEGデータはファイルシステムによりCFカードに記録される。

特に演算量が多いのは色処理とJPEG処理で、色処理は5ライン程度からのマトリクス処理、JPEG処理前半の離散余弦変換(DCT)は8ラインからのマトリクス処理、JPEG処理後半のハフマン符号化はビットパターン検出コード生成処理となる。

4 CCDイメージセンサ

高画質DSC Q-M100を開発するために、まず100万画素以上の高画質CCDイメージセンサをいかに低コストで実現するかということから検討を始めた。開発を担当する撮像素子メーカーと協力し、最終的に以下の仕様のCCDイメージセンサを選択した。

外形サイズ	1/3インチ (対角6.64mm)
画素数	100万画素 (総画素数は108万画素)
画素サイズ	4.6 μ m \times 4.6 μ m 正画素
素子構造	インターレーススキャン型
色フィルタ	補色モザイク

4.1 外形サイズ

CCDイメージセンサを安価に作るためには、できるだけチップサイズを小さくすることが必要となる。ただ画素数と性能のバランスを考えると限界があり、Q-M100で採用したCCDは通常の1/3インチセンサに比べ若干大きい対角6.64mmとなった。これは1/3インチセンサ用パッケージに入るぎりぎりの大きさである。

4.2 画素数

実用的な性能が出せる最小の画素サイズが4~5 μ mであることから1/3インチクラスのCCDの最大画素数は100~130万画素くらいになる。Q-M100では実効的な画素数を横1152 \times 縦872の100万画素とした。画像のアスペクト比はほぼテレビと同じ4:3となる。画素サイズは4.6 μ m \times 4.6 μ mで、デジタル処理に適した正画素となっている。この画素数はメモリ容量の制約からきており、2MバイトDRAMを内蔵するM32R/Dを画像処理エンジンとして利用した場合、プログラムエリア、ワークエリア等を考慮するとこの画素数がほぼ限度

となる。

また、水平1152画素、垂直872画素はともに8の倍数となっている。これはJPEG圧縮処理が8 \times 8画素を単位として計算するためで、8で割り切れる画素数であれば効率よく処理できる。

4.3 素子構造

信号電荷の読み出し方式はインターレーススキャン型とした。ビデオカメラ用として実績がある方式なので信頼性が高く、素子特性が確保しやすいためである。静止画撮影用としてはプログレッシブスキャン型の方が適しているが、垂直転送路の利用効率が低いため、同等の特性を出すためには画素サイズを大きくせざるを得ない。

インターレーススキャン型の欠点は1画面を2回に分けて読み出さなければならないことにある。このためメカニカルシャッタが必須となる。ただメカニカルシャッタを使用した場合には原理的にスミアの発生がないというの利点がある。

4.4 色フィルタ

色フィルタはYCGM補色モザイクとした。画素サイズが小さく原色フィルタでは感度が不足すると考えたからである。補色フィルタは一般に原色フィルタに対して感度が高く設定でき、シャープネスで優るが、色S/Nが劣る。フィルタ配列に関しては従来のビデオカメラ用CCDが2 \times 4画素の繰り返しパターンなのに対し、モアレ発生が少ない2 \times 2の繰り返しパターンとした。

5 CDS/AD

CDS回路はCCDの出力段で発生するリセットノイズを除去するための回路である。従来は専用ICを使用していたが、Q-M100ではADコンバータと1チップ化されたものを採用した。これにより回路規模を削減でき、またCMOS ICなので消費電力も最小限とすることができた。

CCD出力信号はCDS回路でノイズ除去後AGCアンプにより増幅されAD変換されるが、このときプリニー処理等は行わずリニアのままM32R/D内のDRAMに取り込まれる。

6 TG

TGは主にCCDイメージセンサをコントロールするためのASICである。CCDを駆動するための各種パルスが発生し、露光時間の制御、信号電荷の読み出し制御をシステムコントローラからの指示に従って実行する。イメージセンサを駆動するタイミングは大きく分けて以下の3つがある。

(1) 静止画撮影タイミング

本撮影のための駆動パルスを発生するモードである。システムコントローラからの指示により1画面分の撮影、転送を行うことができる。任意のタイミングで露

光を開始でき、また任意の時間の露光が可能である。露光時間の高速側はメカニカルシャッタの性能で上限が決まるが、長時間露光に関しては制限がない。メカニカルシャッタの開閉に連動して CCD の駆動制御を行う。

(2) 連続読み出しタイミング

通常のビデオカメラの様に連続して画像を読み出すモードである。モニタリングしたり、評価するときのために利用する。

(3) 高速読み出しタイミング

連続読み出しモードの2倍のレートで読み出せるモードである。早く読み出せる代わりに垂直方向の画素数が半分になる。撮影前の測光、測距のためのデータを得るために利用する。

TG は CCD 駆動パルス以外にも CDS/AD 用パルス、M32R/D および I/O ASIC の基準クロックや画像取り込みのためのタイミングパルスほか、カメラ内で必要な各種基準パルスを発生する機能がある。また露光制御、各種モード切り替え、パワーセーブ、パラメータ設定等を外部から行うためのシリアル通信機能を持つ。

TG の設計はデジタル回路とはいいながらアナログ回路的なノウハウを必要とする。設計が悪いと CCD の出力画像に固定パターンノイズが乗ってしまうことがある。通常ゲートアレイを利用して開発するが、特に重要な部分については回路構成を工夫するとともに配置配線にも注意を払って設計する必要がある。

7 M32R/D

画像データ処理に必要な高速演算性能、単3アルカリ電池動作を可能にする省電力性、携帯機器としてコンパクトなシステム構成、といった相反する要求に沿う MPU として三菱 M32R/D を選択した。M32R/D の MPU コアは 32 ビット RISC 方式で汎用レジスタは 16 本でスタックポインタは割込み専用を含め2本あるが、メモリ保護や仮想メモリ機構等はない。外部クロック 16 MHz、内部 64 MHz で動作させている。命令体系に遅延分岐は無く、人手でのアセンブラプログラムも比較的容易で、高度な最適化が必要な部分には有効である。命令長は 16 または 32 ビットで、ジャンプ先は 32 ビット境界に制限されるが、ワードアライメント調整用 NOP 命令には実行クロックを消費させないで済むようになっている。

M32R/D ハードウェア構成の大きな特質は、128 ビット 64MHz 動作の内部バスを装備し、32 ビット RISC、2M バイト DRAM、キャッシュ、命令キュー、外部バスバッファといった各内部モジュールが相互接続されていることである。内部バスと比べ、外部バスは遅い上に大きな電力消費を伴うため、命令/データとも可能な限り内部 DRAM に置き外部アクセスを無くす事で、多大な演算量とデータアクセスを伴う色処理と JPEG 処理をこの内部バスの高速性を生かして行うことが可能になる。

M32R/D の RISC 構造 32 ビット MPU は、内部 1 クロックで 16×32 bit + 56 bit 積和演算を含む殆どどの命

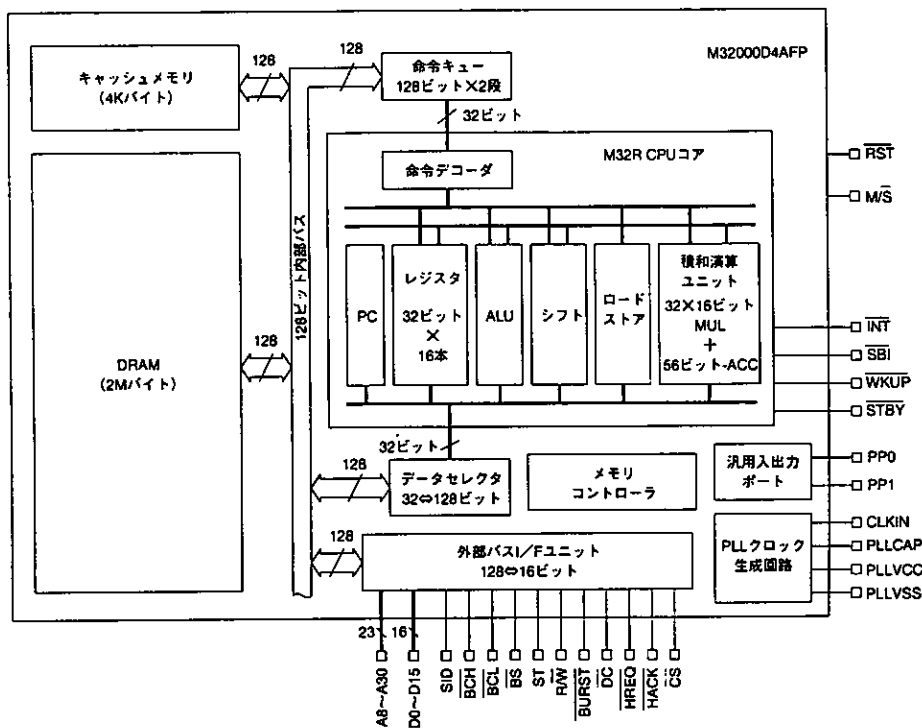


Fig.2 M32R/D Block Diagram

令を実行できマトリクス処理が高速に実行できる。またビット処理に有効なパレルシフターも内蔵する。

内蔵2MバイトDRAMはチップ内蔵であることを生かした128bitデータバス構成であり、キャッシュミスかつDRAMミスページ時でも内部8クロックでMPUからアクセスできると同時にこの16バイトがキャッシュされる。(DRAMページヒット時は内部4クロック) キャッシュはダイレクトマッピングの4kバイト一本(命令のみor命令データ共用)と小容量で機構も貧弱であるが内蔵DRAMアクセススピードが補っている。

多くのMPUで積和演算が1クロックで可能になってきた今日、DSCで重要な色処理やJPEG処理においてデータアクセス速度の処理性能に与える影響が相対的に重くなってきている。公称50 VAX MIPS程のM32R/Dであるが、倍の公称MIPS値を持つMPUと同等のJPEG処理性能を示し、DRAM内蔵の効果が大きく出ている。

7.1 M32R/D外部バスバッファ

外部バスは、バス幅16ビット、外部バスクロック16MHzと内部バスの1/32程の帯域幅しかないが、外部バスバッファ(128ビット)が内部バスと整合をとる機能を受け持つ。これにより、DMAによる外部IOから内部DRAMへのデータ転送は、外部バスバッファに16ビット/1外部バスクロックの速度で計128ビットが8クロックで取り込まれるが、この間MPUの内部バス動作に干渉しない。外部バスバッファから内蔵DRAMへの転送は64MHz7クロックで16MHz2クロック未満に相当であるから、内部バス帯域の8割はDMA中であってもCPUが内部処理用に利用できることになる。

7.2 Q-M100のM32R/D外部バス動作

Q-M100においては、1222画素/ライン(含むオプティカルブラック)、10ビット/画素のCCDラインデータを16M画素/秒でM32R/D内部DRAMに取り込むが、DMACに外部バスを連続領有させず8クロック毎にバスを開放することで、MPUに他ジョブのための外部バスアクセスを可能としている。これは、CCD出力データを32バイトのバッファに取り込みつつ、3画素(30ビット)を4バイトにパックしてからM32R/D内部DRAMにDMA出力することで、外部バス帯域に余裕を作り実現している。

7.3 Q-M100のM32R/DのRTOS動作環境

M32R/Dには画像演算処理以外に、コンパクトフラッシュカード(CF)カード制御、シリアルによるPCとの接続機能を受け持つ。さらに高速シリアル通信機能が予定されるためカメラ本体の制御とある程度独立した制御可能性も確保しておく必要がある。以上のことからリアルタイムマルチタスク処理はシステム構成上の要になるため、以下のようなハードウェア構成上の対応がとられている。

MPUは画像取り込み最中という最悪ケースでも、前

項での説明のように、1 μ 秒程度の遅延で他のジョブのため外部バスをアクセスできる。

ハードウェアがソフトウェアに要求する最も厳しい時間条件は、画像取り込みのためのライン毎のDMAC制御であるが、DMACレジスタをダブルバッファ構成とすることで、DMAC割り込み要求に対する応答がライン間隔に相当する80 μ 秒以内であれば良いようにしている。

利用する μ ITRONのタスクスイッチ時間は40 μ 秒以下であり、割り込みハンドラは80 μ 秒での応答には余裕を持って対応できる。

監視すべき外部イベントは全て割り込みを発生させポーリングを不要とし、外部イベントへの素早い応答が効率的に行えるようにしている。

以上のように、リアルタイムオペレーティングシステム(RTOS)下での通常のマルチタスクプログラミングで、機器状態による特殊な例外を設けることなくシステムソフトウェアが構築できるよう最大限の考慮が払われている。

8 I/O-ASIC構成

I/O-ASICは、M32R/Dの外部バスに接続され、M32R/DのMPUに周辺機能提供するASICである。各種の汎用機能とCCD画素データ取り込み機能を実現している。

8.1 I/O-ASIC構成モジュール一覧

I/O-ASICは以下の機能モジュールから構成される。

- バスインターフェイスユニット [BIU]
- コンフィグレーション [CONFIG]
- クロックジェネレータ [CLKGEN]
- 割り込みコントローラ [ICU]
- CCD I/F [CBUF]
- DMAコントローラ(CBUF用) [DMAC]
- インターバルタイマ [ITIME]
- 調歩同期シリアル [UART]
- コンパクトフラッシュカードI/F [CF]

以降、各機能モジュール毎に簡単な説明を加える。

8.2 バスインターフェイスユニット [BIU]

BIUは、M32R/Dと外部メモリおよびI/O-ASIC内部の各機能モジュールのインターフェイスに必要な制御機能を提供する。以下のような機能を持つ。

- I/O-ASIC内部モジュール及び外部メモリ用アドレスデコーダ
- I/O-ASIC内部バスを構成するデータセクタ制御
- 外部メモリのウェイト制御
- 外部バス不正アドレスアクセス時にタイムアウトを生成しバスを開放
- DMACモジュール用の外部バスマスタバス制御信号生成

8.3 コンフィグレーション [CONFIG]

CONFIGには、BIU動作設定レジスタと雑制御レジスタからなり以下のような構成である。

- 外部領域にアクセスする場合のウェイト設定レジスタ
- Flash/ROMへのRPポート設定レジスタ
- CLKGENへの制御レジスタ
- パラレルポートへのリード/ライト、入出力方向設定レジスタ
- セカンドI/O-ASIC有無設定レジスタ
- TG同期信号レジスタ

8.4 クロックジェネレータ [CLKGEN]

CLKGENは、I/O-ASIC内部クロックを一括制御し、以下が機能一覧である。

- ASIC内部の各モジュールに対しシステムクロックの供給
- ASIC内部の各モジュールの設定レジスタに対するライトクロックの供給
- UARTにおけるポーレートジェネレータ用クロックの供給、及び停止
- UARTに対し送受信制御ロックの供給
- CBUFモジュールに対するクロックの供給、及び停止

8.5 割込みコントローラ [ICU]

システム内での複数の割込み要求をまとめ、M32R/Dの一本の割込み線を駆動する。割込み発生条件設定（レベル/エッジ、極性、優先順位）といった一般的機能に加えて、割込みハンドラと協調しレジスタを保存することで多重レベル割込み制御もサポートする。ソフトウェアは以下のレジスタを操作することで割込み制御を行う。

- アクティブリクエストレジスタ
- 比較割込みレベル設定レジスタ
- コントロールレジスタ（各割込み要因毎）

8.6 CCD I/F [CBUF]

CBUFは、CCD(A/Dコンバータ)からの10ビット/画素、1画素/外部クロックのデータを、3画素(30ビット)を4バイトにパックしながら32バイトのバッファに取り込みつつ、データが充分蓄積された時点でDMACモジュールを使用してM32R/D内部DRAMに16バイトを8外部クロックでバースト転送する。

ライン入力中も外部バスを領有しっぱなしとしないので、適宜MPUは外部デバイスを制御できる。バッファデータ入力セレクト制御、バッファデータ出力セレクト制御、データ量管理とDMA要求生成といった回路より構成される。

ソフトウェアからできる設定と状態表示として以下のものがある。

- CBUFモジュール動作の許可/不許可
- DMAバスリリースタイミング出力の許可/不許可

- オーバーランエラー検出

8.7 DMAコントローラ [DMAC]

CCD I/FをサポートするI/Oメモリ間転送のDMACである。アドレスレジスタ、バイトカウントレジスタ双方をダブルバッファ構成とすることで、ベースレジスタからカウンタ部の自動リロード動作をサポートし、あるライン取り込み中に次のラインのパラメータを予め設定しておくことができる。これによりDMAC割込みハンドラはライン間の短い時間(数 μ 秒)ではなく、ライン周期(80 μ 秒)の応答で済む。

ソフトウェアからできる設定/参照できるレジスタは以下のものになる。

- ベースアドレスレジスタ
- アドレスレジスタ
- ベースバイトカウントレジスタ
- バイトカウントレジスタ
- コントロールレジスタ

8.8 インターバルタイマ [ITIM]

RTOSのティック生成用の単純な周期タイマである。ソフトウェアからできる設定/参照できるレジスタは以下のものになる。

- カウント設定レジスタ
- ITIMカウントソース選択レジスタ
- ITIMカウントソースレジスタ

8.9 調歩同期シリアル [UART]

シリアルI/Fのための、CTS/RTSフロー制御、キャラクタ長設定、パリティ設定、ストップビット長設定、を備えた一般的なものであるがデータバッファは一段のみ(バブルバッファ)である。ポーレート周期設定は、入力クロック(16MHz)精度で設定できる構成となっていて、115.2 Kbpsまでの設定で精度を得るために特殊入力クロック周波数が必要になることはない。

8.10 コンパクトフラッシュカードI/F [CF]

CFA仕様で規定されるCompact Flashカード用インターフェースである。メモリモードとI/Oモードをサポートするが、True IDEモードはサポートしない。監視すべきCFカードピンの変化やカード挿抜等は全て割込みにより制御できる構成になっている。

9 LCD

LCDはデジタル駆動が可能なセイコーエプソン社製D-TFD(Digital Thin Film Diode)LCDを搭載し、ビデオエンコーダICは、回路を小型・無調整にするために、デジタルビデオエンコーダICを搭載した。

ビデオ出力とLCDモニタ出力をともに持つ他社のDSCは、カメラ内部でまずビデオ出力を生成し、そのビデオ出力をアナログ回路でデコードしてLCDを駆動しているのに対し、Q-M100は、LCDへ出力する場合とビデオ出力する場合に必要な画像データを、それぞれ別に演算し

て画像出力用の D-RAM に書き込み、LCD のドライバ IC ・ デジタルビデオエンコーダへ出力している。このため、LCD とビデオ出力を同時に得ることはできないが、LCD 駆動のためのデコード回路等、アナログ回路が不要になり、カメラの小型化に大きく貢献している。

10 PBC

再生の制御のために、以下の特徴を持つ ASIC を新規設計した。

- 27.0MHzの発振回路を内蔵し、LCD 出力およびビデオ出力は1/2分周した13.5MHzに同期して動作。
- M32R/D (MPU) とのデータの受渡しは、システムクロック (16.0 MHz) に同期して動作。

- LCD へ出力するときは、PBC 内部の同期信号発生回路で生成する水平垂直同期信号に同期して、また、ビデオ出力のときはビデオエンコーダICが出力する水平垂直同期信号に同期して D-RAM から読み出し、LCD ドライバ IC またはビデオエンコーダ IC へデータを出力。
- LCD ドライバ IC またはビデオエンコーダ IC に画像データを出力する必要がない期間に、M32R/D から画像データを書き換えることが可能。

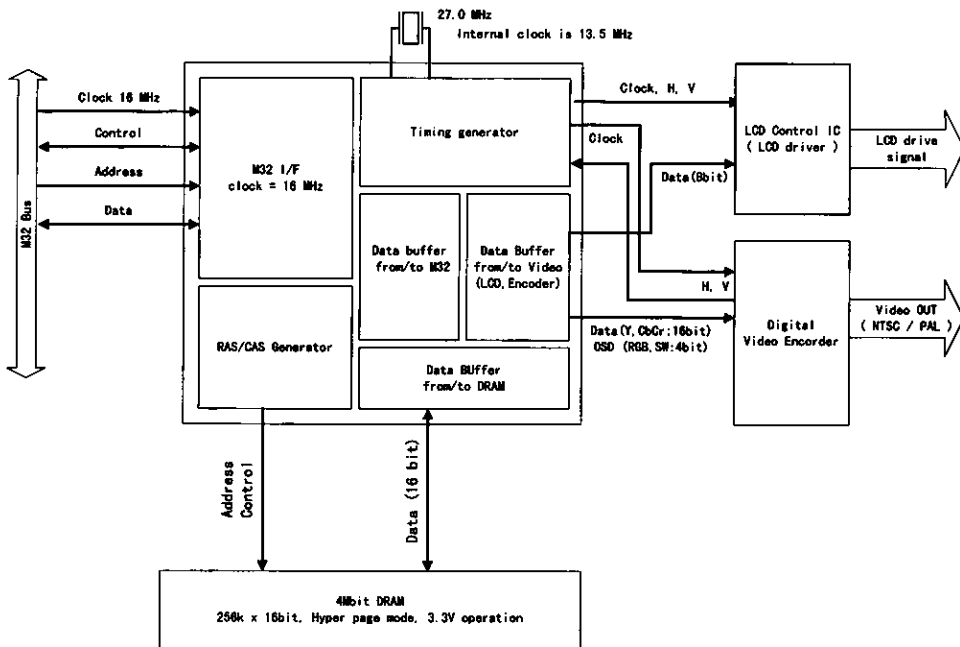


Fig.3 PBC Block Diagram