

1パスカラー複写機用主走査倍率補正回路の開発

A Circuit to correct Magnification for Beam Scan Direction in Single-Pass Color Copiers

泉宮 賢二*
Izumiya, Kenji

高木 幸一*
Takaki, Kouichi

Tandem-type digital color copiers and printers have already been introduced into the market for high-speed color printing. Generally, for a single-pass color print engine, like the tandem-type, color registration technology issues have been very important and difficult to resolve.

The following report introduces a circuit to make magnification corrections for beam scan direction, which is one of the factors of color registration.

1 はじめに

近年、カラープリンタの普及によりオフィスにおいても、カラードキュメントが身近なものになってきた。しかしながら、カラープリンタの低速性に不満をもつユーザーも多数おり、さらにPOD市場からの要望もあって、高速カラー複写機、プリンタの開発が各社で活発になっている。

従来の電子写真方式のカラー画像形成プロセスは4色のトナー像を順次重ね合わせていく多回転型プロセスにより高速化が阻害されていた。そこで各色独立した作像ユニットを並置するタンデム型の画像形成プロセスにより高速印字を可能にした、1パスカラー複写機、プリンタが既に製品化されている。

ところで、一般に、複数の露光系を必要とする1パスカラープリントエンジンにおいては、カラーレジストレーションが重要な技術課題となる。今回、カラーレジストレーションの要素の一つである主走査倍率補正のための、コニカ独自の回路方式を開発したので報告する。

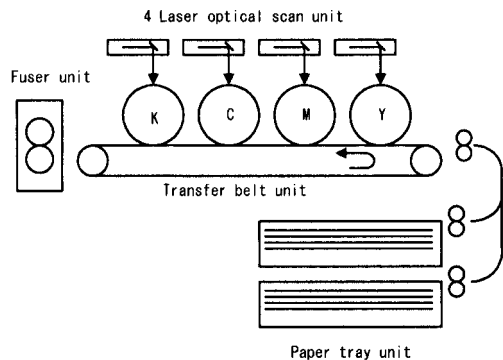


Fig. 1 (a) Tandem type print engine

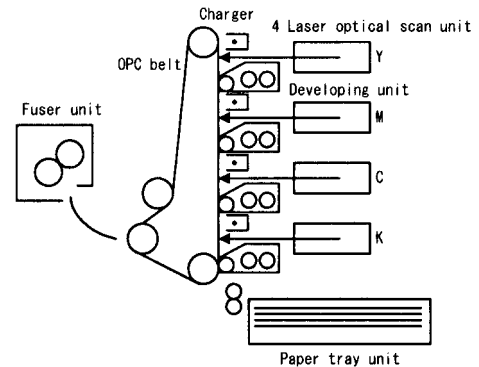


Fig. 1 (b) 1pass KNC print engine

2 カラーレジストレーションの要素と補正手段

代表的な1パスカラー画像形成プロセスプリントエンジンの構造をFig. 1-(a)、-(b)に示す。これら1パスカラー画像形成プロセスエンジンにおいては、複数の露光ユニットを有するため、多回転型カラー画像形成プロセスエンジンにはない色ずれ要因が発生することになる。

カラーレジストレーションの要素とその補正手段についてTable 1に示す。¹⁾

これらのうち、主走査倍率補正のために、画素CLKの位相変調方式による主走査倍率補正回路を開発した。

3 主走査倍率補正回路の要求仕様

カラーレジストレーションの要求精度としては、社内で開発関係者を被験者として行った色ずれ許容値に関する官能評価により、50 μ m以下ならば許容レベルであることが判明していた。50 μ m以下をカラーレジストレーションの目標としたときに必要な補正分解能として5 μ m程度を狙うこととした。一般的なカラープリンタの解像度が600dpiであることから、1/8画素サイズに相

* ODカンパニー 機器開発統括部 第3開発センター

当する $5.3\mu\text{m}$ を補正分解能と定めた。これは、プリントエンジンの解像度を600dpi、主走査方向の最大画像サイズを12インチとすれば、画素CLK周波数を17.3ppmの分解能で制御しなければならないことを意味する。

また、補正範囲については主走査方向最大画像サイズに対して $\pm 1.5\%$ 以上と設定した。

Table 1 Color registration error factors

Registration error factor	Figure	Correction method
Horizontal position		<ul style="list-style-type: none"> • H-Valid timing • H-Sync timing
Vertical position		<ul style="list-style-type: none"> • V-Valid timing • Polygon mirror phase
Horizontal magnification		<ul style="list-style-type: none"> • Pixel clock frequency • Beam path length
Beam scan skew		• Beam scan direction tilt
Beam scan bow		• Optical lens alignment

4 位相変調型主走査倍率補正回路²⁾³⁾

4.1 動作原理

今回開発した位相変調型主走査倍率補正回路は、基準画素CLKを微小遅延量の遅延素子群に通して複数の位相の異なる遅延CLK群を生成し、変倍量に応じて決定される任意の間隔で順次CLK位相を進める、あるいは遅らせることにより主走査倍率補正を実現したものである。以下、回路の動作原理について説明する。

Fig. 2-(a)、-(b)は本回路の動作概念図である。ある区間を走査するのに、露光ユニットAではN画素CLK要するのに対し、露光ユニットBではN+1画素CLK必要である場合、露光ユニットBとAを等倍率に調整するには、差分である1画素CLKをN等分して、残りのN CLKに分配してやればよい。要するに、ある一定距離を走査するのに要する画素CLK数の差分を残りのCLKに等分配すれば両者の主走査倍率は一致することになる、というのが回路の動作原理である。但し、実際の回路では、差分を分配する単位が前述の遅延素子の遅延量となる、つまり離散的な値しかとれない。そこで、各画素CLKに分配する補正量を演算により求め、それを画素CLK毎に加算した結果と、遅延素子の遅延量とを比較して位相切り替えのタイミングを決定している。

本回路の動作原理により、ある一定距離における補正誤差は回路に使用する遅延素子の遅延量分にしかならない、また、全てデジタル回路で構成されることから、制御性、安定性に優れ、安価で高精度な主走査倍率補正を行うことが可能となる。

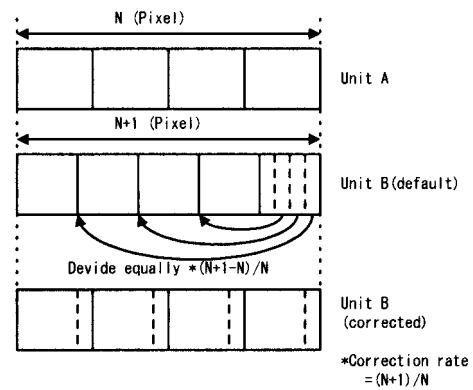


Fig. 2 (a) Mechanism of circuit

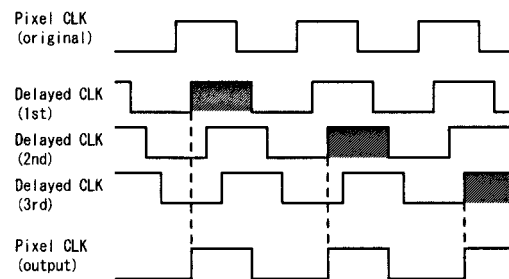


Fig. 2 (b) Phase shift model

4.2 回路構成

本回路はASICにより実現した。回路のブロック図をFig. 3に示す。回路は、ディレイチェーン部、同期検出部、画像先端制御部、同期切り替え制御部、信号セレクト部から構成される。

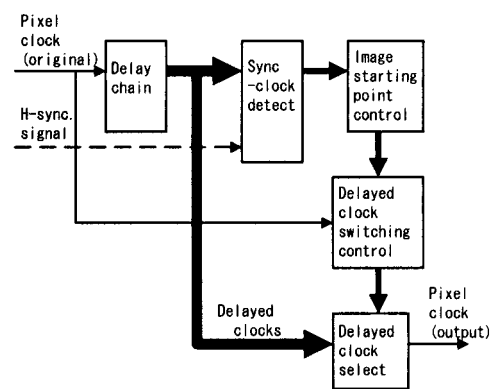


Fig. 3 Block diagram of circuit

(1) ディレイチェーン部

ディレイチェーン部は、画素CLKを所定遅延量ずつ遅延させるための遅延列からなる。遅延列に使用する遅延素子の特性は、遅延量MAX条件で要求補正精度を満

足する、また、遅延段数は遅延量MIN条件で原画素CLKの2周期分以上となる段数を確保するように設計する。つまり、補正要求精度、原画素CLK周波数により変更が必要である。今回設計したASICでは、遅延量TYP 0.8nsの素子を512段連ねて構成した。また、本ブロックのレイアウトに際しては、遅延素子はなるべく均等に配置し、配線長を揃えることにより、各遅延段における遅延量の相対バラツキを最小限に抑えるように留意した。

(2) 同期検出部

同期検出部は、水平同期信号をトリガとして、ディレイチェーン部の遅延CLK群の中から原画素CLKと同期しているCLKを検出するブロックである。原画素CLKと同位相の遅延CLKを2箇所検出することで、CLK 1周期分に相当する遅延段数の情報を得ることができる。水平同期信号が入力される毎に遅延段数情報は更新されるので、環境温度、電源電圧変動により遅延素子の特性が変わってもリアルタイムに遅延段数は補正される。

(3) 画像先端制御部

画像先端制御部は、水平同期信号と画素CLKとの位相を調整する回路である。本ブロックでは、色ずれ要素の一つである1画素以下の主走査方向シフト量の調整も行えるよう、CPUから設定される主走査シフト調整量に基づき、水平同期信号と画素CLKを任意の位相状態に調整することが可能になっている。

(4) 同期信号切り替え制御部

同期切り替え制御部は、CPUより設定される主走査倍率補正量と同期信号検出部で得られた画素CLK 1周期に相当する遅延段数情報に基づき、各画素CLKに対する調整量を演算し、更に画素CLK毎に調整量を加減算して、補正分解能と比較しながら、遅延CLKを選択する。

(5) 信号セレクト部

信号セレクト部は、前段の同期信号切り替え制御部からの遅延CLK選択情報にしたがって、実際にCLK遅延列の中から一つを選択して、主走査倍率補正された画素CLKとして出力するブロックである。設計上留意する点は、できる限り全ての信号の経路長が均一かつデューティを崩さない回路構成にすることである。これについては、二のべき乗のセレクト信号を用意し、回路は全て負論理で構成することで、最終的に出力される信号の精度を向上させた。

4.3 性能確認

ASICにより実現した位相変調型主走査倍率補正回路の性能について紹介する。今回開発したASICは、画素CLK周波数MAX 33MHzで動作するよう設計した。

Fig. 4 に画素CLK周期を30.32ns、変倍率を0.979、1.000、1.022としたときの連続する画素位置と画素CLK周期の関係について、配置配線後のデータを元に遅延シ

ミュレーションした結果を示す。遅延素子の遅延量はTYP 値の0.8nsの設定である。変倍率1.022のケースでは、原画素CLK毎に遅延素子1段ずつ位相を進め、約50画素毎に2段分位相を進める動作を行なっている。この位相を進める量、タイミングに関しては、同期信号切り替え制御部での演算結果に基づいて制御されている。これにより、基本画素CLKの周期30.32nsに対して、平均して30.98nsの周期が得られることとなる。同様に、変倍率0.979のケースでは、原画素CLK毎に遅延素子1段ずつ位相を遅らせ、約50画素毎に同位相の遅延CLKを選択していることが確認できる。尚、変倍なし(倍率 x1.000)の周期が安定しているのに対して、変倍あり時には、画素毎に±0.1ns程度のバラツキが見られるが、これは遅延列の遅延素子バラツキによるものである。

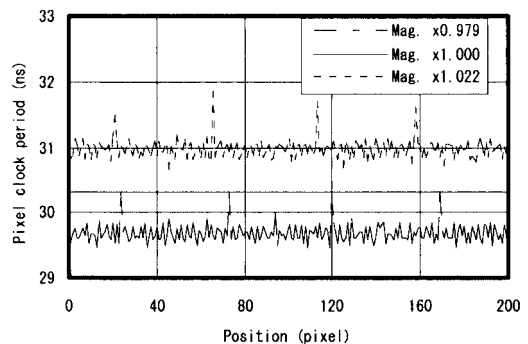


Fig. 4 Behavior of pixel clock period

Fig. 5 は、主走査倍率設定と補正誤差を示したものである。横軸には主走査倍率をとっているが、実際の回路において倍率補正の設定値は、同一走査距離を同一画素CLKで走査するのに要する画素数を基準ユニットと補正ユニットで比較した、その差分値になる。縦軸には、連続する508画素分の画素CLK周期の合計、および理想値との差分量をとっている。主走査倍率設定に対して極めてリニアな特性が得られていること、また、その誤差は±0.5ns内に収まっていることが確認できる。

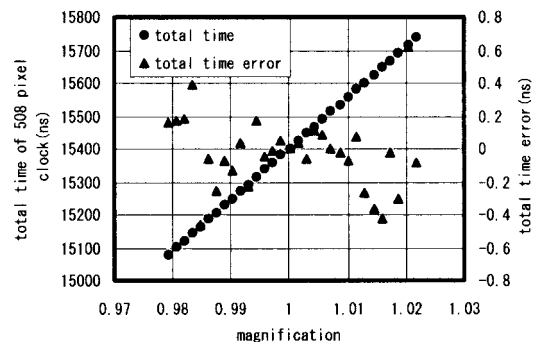


Fig. 5 Correction error on circuit simulation

4.4 位相変調型主走査倍率補正回路の特徴

一般に、主走査倍率補正回路として、PLLシンセサイザを用いた画素CLKの周波数変調が用いられている。PLLシンセサイザとの比較により、今回開発した位相変調型主走査倍率補正回路の特徴について述べる。

PLLシンセサイザのブロック図をFig. 6に示す。PLLシンセサイザにおいて変倍率Mは、基準CLKの分周比NとVCO CLKの分周比Pとして、 $M=N/P$ となり、両者の分周カウンタのサイズを大きくすれば、リニアな周波数特性が原理的には得られることになる。但し、実際は基準CLKに使用する発振器の周波数の制限、位相フィードバック時間の制約があり、略リニア特性が得られるような分周比設定の組み合わせテーブルを作成し、使用する必要がある。結局得られる補正分解能としては、せいぜい150ppm程度である。

これに対し今回開発した回路では、

- ・平均周波数としては、完全なリニア特性が得られる。
- ・完全なデジタル回路で構成できるため制御性、安定性に優れる。
- ・補正分解能は、演算精度のみで決まるため高精度の補正が可能である。
- ・補正誤差は、遅延素子の遅延量で決まり、演算精度が十分であれば画素数が増加しても誤差の累積はない。といった優れた特徴を有する。一方、
- ・1画素内で生じる誤差量も遅延素子の遅延量となるため、得られるCLKはジッタが大きい。

という問題もある。画素CLKのジッタは、レーザPWM変調特性に大きく影響し、画質を乱してしまう要因となる。この問題に関しては、コニカのLBP製品で既に実用化されているデジタルディレイ⁴⁾PWM回路を用いることで解決できる。詳しい説明は割愛するが、デジタルディレイラインPWM回路とは、今回の回路と同様に遅延CLK群を生成し、その中から二つを選択してPWMを生成するもので、PWMパルス幅はCLK周期によらず一定に制御することが可能となる。

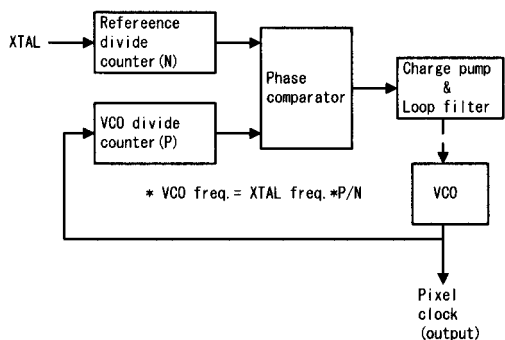


Fig. 6 PLL synthesizer block diagram

5 まとめ

1パスカラー複写機用として、コニカ独自の位相変調型主走査倍率補正回路を開発し、要求仕様である17.3 ppm以下の主走査倍率補正分解能を実現した。

今回開発した回路のスペックをTable 2に示す。

Table 2 Specification of circuit

Item	Specification	Operate condition
Operation frequency	・ max. 33MHz ・ min. 27MHz	
Magnification correct resolution	・ typ. 0.8ns for scan area ex) 3.6ppm for scan area 12inch	・ 33MHz ・ 600dpi
Magnification correct limits	・ ±127 pixel for scan area ex) 1.76% for scan area 12inch	・ 33MHz ・ 600dpi
Device	・ Design rule: 0.35μm ・ Power supply: 3.3±0.3V	
Circuit scale	・ 60K area	

6 今後の課題

今後の課題として、

- (1) 位相変調単位をさらに小さくし、更に高い画素周波数へ対応できるようにする。これについては、今回の2倍の周波数66MHz程度をターゲットとしてプリンタの高解像度化、高速化に対応していきたい。
- (2) CLKジッタを改善する。CLKジッタの改善のためには、遅延素子の遅延量を小さくし、さらに長い遅延列を用意すれば達成できそうに思えるが、配線遅延バラツキなどを考慮すると今回の512段より大きく構成することは容易でない。異なったアプローチで位相変調単位を小さくしていく工夫が必要である。
- (3) 新たなアプリケーションへ展開する。今回の回路は1パスカラープリントエンジン用途に開発したが、変調範囲は決して広くないものの、リニアな特性で精度よく周波数変調が可能、また、完全なデジタル回路のため組み込みが容易である、といった特徴を生かせる新たなアプリケーションを模索し適用していきたい。

参考文献

- 1) 青木松之、安藤良、森浩隆、電子写真学会誌、36、298 (1997)
- 2) 特願平10-276092
- 3) 特願平10-374278
- 4) 特願平4-16552