

# IEEE1149.1 (JTAG 検査) の Sitios シリーズへの適用

The Application of IEEE1149.1(JTAG) Testing to Printed Circuit Boards in Sitios Series Photocopiers

佐藤 昌毅\*  
Sato, Masaki

高地 一\*\*  
Takachi, Hajime

沢田 宏一\*\*  
Sawada, Koichi

結城 健太\*\*\*  
Yuki, Kenta

Traditional in-circuit testing of printed circuit boards has become problematic due to increasing numbers of contact pins and decreasing contact reliability caused by the miniaturization of electronic parts and the higher integration of printed circuit boards. One solution to this is IEEE1149.1(JTAG) testing, which we applied to the printed circuit boards of a Sitios series digital photocopier. Reported here are the developments in ASIC, circuit design, and test machine design that resulted.

## 1 はじめに

近年の電子機器の小型化、軽量化にともない、プリント基板に実装される電子部品は小型化、高集積化の一途をたどっている。半導体 IC では、0.5mm ピッチの QFP (Quad Flat Package) や BGA (Ball Grid Array) が多用され、抵抗やコンデンサなどもそのサイズが小型化されつづけ、現在では、1005 サイズ (1.0mm×0.5mm) が数多く使用されている。このような状況において、実装基板に今まで数多く用いられてきた全ネットにプローブピンを接触させて行なうインサーキット検査は、そのピン数の増加、接触信頼性、機械精度などの問題で限界にきており、これらを解決するための技術が欧米の企業を中心とした JTAG (Joint Test Action Group) によって考案され、1990 年に IEEE1149.1 (Test Access Port and Boundary-Scan Architecture) として規格化されている。JTAG は、この検査手法を提案したグループ名であるが、この検査技術を表す用語として一般的に用いられているため、以降の説明においては JTAG 検査として記載する。

コニカのデジタル複写機 (Sitios シリーズ) においても、Fig. 1 に示すようにプリント基板のネット数が増加しつづけ、インサーキット検査機の最大使用可能ピン数を超え始めてきている。また、部品の小型化に対応するため基板パターンにテストランドを追加して対応するなどの対策を取らざるを得なくなり、基板パターン設計工数、基板占有面積の増加などにもつながっている。これらの問題を解決するために、コニカにおいても JTAG 検査による実装基板の検査に取り組むこととした。本稿では、その実現手段、及び、検出率向上のための技術について報告を行なう。

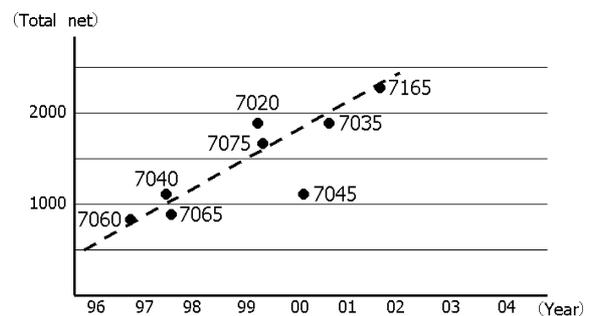


Fig. 1 Total net of print circuit board

## 2 IEEE1149.1 (JTAG 検査) の概要

実装基板を JTAG 検査で検査するためには、JTAG 検査に対応したデバイスを使用する必要がある。対応したデバイスは、Fig. 2 に示すように、デバイス本来の機能である内部ロジックと入出力ピンの間にバウンダリスキャンレジスタセル (以下 BSRC) が配置され、これがシフトレジスタとして接続されている。さらに、対応デバイスは、TAP (Test Access Port) と呼ばれる TDI、TDO、TCK、TMS の 4 本の端子を持ち、これらがデバイス内部の TAP コントローラーへと接続されている。TAP コントローラーは、16 ビットのステートマシンとなっており、TAP からの入力指示に基づいて、BSRC へのデータ入出力、BSRC 内のデータのシフトなどを行なう機能を有している。

次に、JTAG 対応デバイスが実装された実装基板に対する検査について簡単に説明する。各対応デバイスの TAP は、Fig. 3 のように接続され、検査機の制御に基づいて BSRC へとテストデータをシフトし、IC の端子へとテストデータを出力する。次に、BSRC に入力データを取りこみ、取りこんだデータをシフトして、検査機へその結果を送り出す。検査機は、期待値と比較して回路接続の良否を判定する。

\* OD カンパニー 生産統括部 技術部

\*\* OD カンパニー 機器開発統括部 第3開発センター

\*\*\* (株)コニカ電子 都留カンパニー 技術部

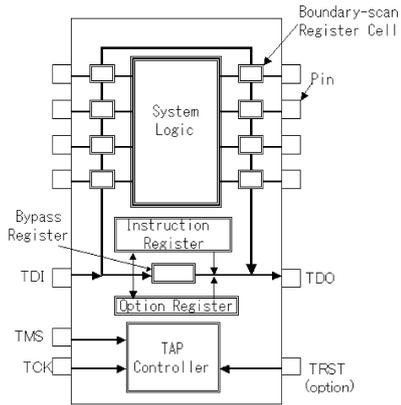


Fig. 2 JTAG device

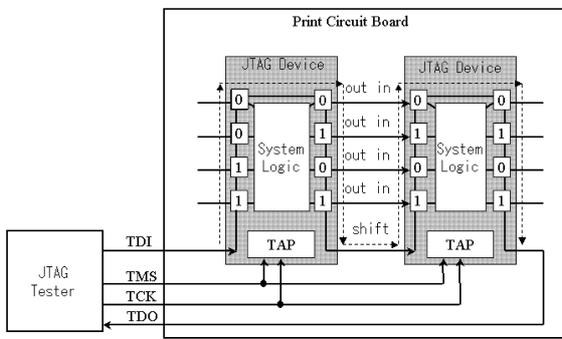


Fig. 3 JTAG TEST of print circuit board

### 3.1.1 遅延時間への影響の検証

ASICをJTAG対応にするためには、入出力バッファと内部回路との間にBSRCを追加することになり、これによって、入出力の遅延時間が変化する。この遅延時間の影響について、実際に設計されたASICの例を取り上げて説明する。Fig. 5は、ASICの入出力段の回路構成である。対象のASICは、0.25umのプロセスで製造され、PLLで同期化した内部クロックを使用し、最大100MHzでの信号速度を保証するものである。内部回路の最終段のラッチから、ASICの出力端子をとおり、次段のASICへ入力されて初段のラッチまでの遅延時間は、シミュレーションの結果最大で8.69nS(9.48nSを超えるとNG)となる。BSRC追加による遅延時間への影響は、出力段で0.44nS、入力段で0.61nSであり、他の要因に比べて遅延時間に対する影響は、少ないことが検証できた。(Fig. 5)

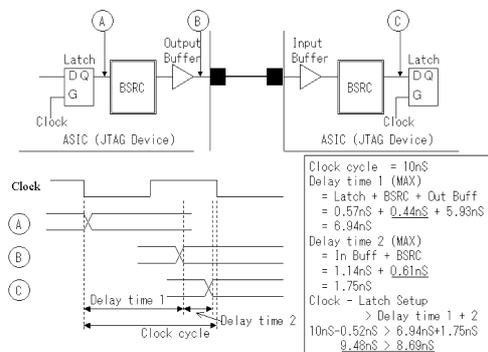


Fig. 5 Delay time of ASIC

## 3 デジタル複写機の実装基板への適用

### 3.1 JTAG 検査対応 ASIC の開発

Fig. 4にデジタル複写機の画像制御基板の構成を示す。この基板にはASIC (Application Specific IC) が8個実装されている。JTAG 検査の検出率を上げるには、ASICのJTAG対応が重要である。コニカのODカンパニーにおいては、2年以上前から新たに開発するほぼすべてのASICにこの機能を持たせることとした。JTAG対応ASICの開発で検証した内容について、以下に説明する。

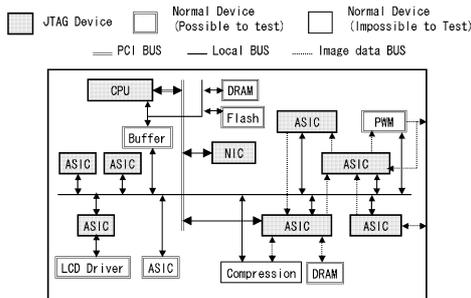


Fig. 4 Image control board of Sitios 7165

### 3.1.2 開発日程への影響の検証

ASICにJTAG対応の回路を追加するには、ASICベンダーによって以下のパターンがある。

- (1) 従来どおりの設計で、ベンダー側で回路を追加
- (2) ASIC設計者が直接セルの記述を行なう
- (3) ベンダーから支給されたツールでセルを追加

いずれの場合も、ASIC設計者にかかる工数は、1~2日程度であり、ASICベンダーでの所要日数は、多くても1週間であり、開発日程への影響は少ない。

### 3.1.3 ゲート数増加への影響の検証

JTAG検査のために、追加される専用回路の規模は、BSRCに使用されるゲート数に信号数をかけ合わせたものと、TAPコントローラーに使用されるゲート数を足した規模となる。実際に設計された約11万ゲートのASICを例にとって計算すると、

- 入力/出力用 BSRC = 45ゲート
- 双方向 BSRC = 68ゲート
- TAPコントローラー = 890ゲート

で、使用している信号数をかけて計算すると、合計6811ゲートとなり、全体に占める割合は約6%となる。

入出力端子数にもよるが、このような規模の ASIC であればあまり問題にならないが、ゲート数の少ない ASIC の場合には注意が必要である。

### 3.2 JTAG 検査対応の回路設計

回路設計上の問題とその対策について説明する。

#### 3.2.1 JTAG デバイスのチェーン接続構成

実際に JTAG 対応デバイスをチェーン接続する場合、JTAG を利用した ICE (In-Circuit Emulator) との併用、電源電圧の違い、実機にて特定のデバイス以外の電源が切断される場合、後日削除予定の対応デバイスが搭載されているなどの問題があった。これらは、電源ブロックごとにチェーンを構成すること、使用するチェーンをセレクト可能にすることで、解決している。(Fig. 6)

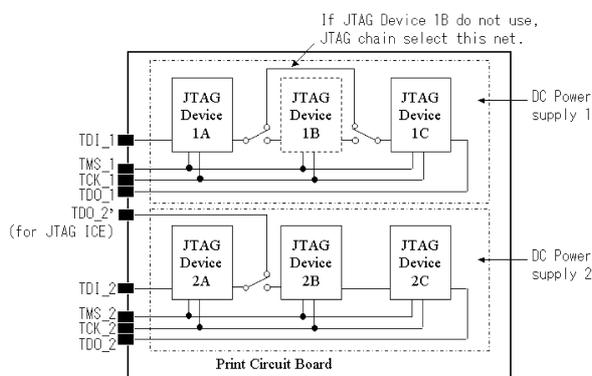


Fig. 6 Connection of JTAG chain

#### 3.2.2 出力信号の競合防止対策

JTAG 検査に対応した Pentium CPU の搭載された基板に対して JTAG 検査を適用した際、そのチップセットが非対応であったため、出力が競合する状況が発生した。これを回避するため、システムのリセット期間中にチップセットをテストモードで立ち上げる機能を、検査機内部とテストパターンに対して付加し解決した。(Fig. 7) 同様の状況は、CPU が非対応の場合にも生じたが、この場合は、システムリセットをかけた状態で検査を行なう機能を検査機に持たせることにより解決している。

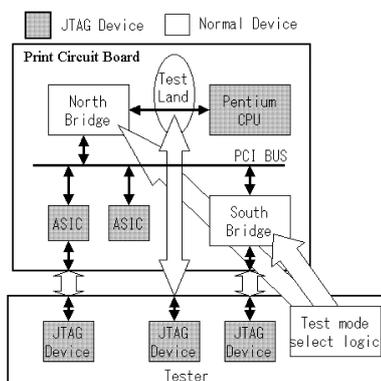


Fig. 7 Disable normal device and JTAG device in tester

#### 3.2.3 検出率向上のための対策

検出率を上げるためには、非対応デバイスの検査、基板外部へ出ている信号の検査が必要となってくる。非対応デバイスについては、JTAG 対応 IC を利用して、メモリへはリードライトの検査、双方向バッファはその /EN、DIR を制御しての検査、各種アプリケーション IC はその内部レジスタを制御することによる検査を行なって検出率を向上させた。そのために、設計時に行なった対策は、JTAG 対応した端子が検査対象の非対応デバイスを制御できるように設計したことであり、さらに、直接制御できない場合は、そこに接続されている非対応デバイスの出力を Tri-State 状態にする回路を設けて、外部から JTAG 対応デバイスによって制御を行なえるようにした。その結果、検査可能となった非対応デバイスの例を Fig. 4 に示す。

基板外部への信号に対しては、検査機側に JTAG 対応デバイスを配置して、そこでの接続検査を行なうことにより、検出率を向上させている。(Fig. 7)

### 3.3 JTAG 検査機

JTAG 検査に対応したデバイスを実装し、検査可能な回路設計がなされた基板の検査を行なうには、検査機と検査に使用するテストパターンが必要となる。

#### 3.3.1 検査機

コニカでは、JTAG Technologies 社の検査機を使用している。コニカ独自の仕様として、検査対象基板への電源の OFF/ON の自動化、ブザー音の発生、基板シリアル番号のバーコード読取とシリアル番号に対応した検査結果の履歴ファイル生成、不具合情報の蓄積を可能にしている。

#### 3.3.2 テストパターン生成

テストパターン生成には、JTAG 検査対応デバイスの内部情報が記述されている BSDL (Boundary-Scan Description Language) ファイルと、基板回路のネット情報が必要となる。

BSDL ファイルは、IC メーカー、ASIC ベンダーから入手するが、実際には正常に動作しないものが多々あった。原因はファイル内での細かな記述ミスがほとんどであり、コニカでミスの修正、確認をして、ASIC ベンダーへ情報をフィードバックし対応している。

ネット情報は、EDIF 形式のネットリストを使用することにより、先の BSDL ファイルと合わせてテストパターンを自動で生成することが、検査機の機能により可能であるが、実際の回路ではほとんどの信号線にダンピング抵抗などが入っており、対応デバイス間の接続情報がこれによって分断されてしまい、この情報をテストパターン生成時に取り入れないと、そのネットの検査が出来なくなる。そこで、これらの情報を加味したネットリストを別途作成し、使用することでテストパターン生成を行なっている。

テストパターン生成時には、JTAG 対応デバイスで検査可能な非対応デバイスによるバスの競合を防ぐ必要がある。非対応デバイスのチップイネーブルピンをディスエーブルにし、かつ、バスラインに入っている双方向バスバッファなどをディスエーブルにしておくことにより、対策している。

BSDL ファイルと、ネットリストのピン番号の割り振り、記述形式が異なると、その相関がとれずテストパターン生成ができない問題が生じた。そのため、コニカでは、ASIC、回路の設計時に端子名、ピン番号を統一することにして対策している。

## 4 JTAG 検査適用による効果

### 4.1 開発段階での効果

新製品の開発段階で製作される基板は量産時と比べて、ベアボード、実装基板ともに十分な検査機が用意されていない。さらに、そのパターン設計の検証、回路設計の検証、搭載される ASIC の検証も十分に行なわれていないものであり、不具合が発生した場合の原因の特定には、相当の時間を費やしている。コニカでは、このような際に動作していない回路ブロックに対して JTAG 検査を実施し、その不具合箇所特定に利用している。一例としては、BGA から出力されている PCI バスの信号が、その直近の VIA を通って内層パターンでショートしている不具合が発生した。このような不具合に対しては、目視や測定機による不具合検出は大変困難であるが、JTAG 検査を行なうことによって、容易に不具合箇所を特定することができた。

### 4.2 量産段階での効果

#### (1) 生産試作での不良検出

一般に基板レイアウトの最終状態は、生産試作と呼ばれるフェーズで確定する。インサーキット検査は、基板レイアウトに合わせて検査機を製作し、実際の基板を使用してのデバッグとなるため、この段階では準備が間に合わないことが多い。これに対して、JTAG 検査は、基板ネット情報によって製作が可能で、レイアウトの異なる基板でもかなりのデバッグが可能である。そのため、JTAG 検査を適用した基板では、生産試作での検査適用が実現され、その品質向上に効果がでている。

#### (2) 不良修理時間

JTAG 検査では、不具合箇所のネット名、IC 名とそのピン番が解析表示されるため、不具合箇所の特定が短時間で可能となった。Sitios7165 の生産試作では 12 枚の基板不良を検出し、約 30 分でその原因を特定できている。

#### (3) インサーキット検査のプロープ数削減

Sitios7165 の画像制御基板では、総ネット数が 2200 本以上となり、インサーキット検査機の最大

仕様である 2048 本を超えてしまう問題が発生した。この基板は、JTAG 検査で検査しているため、JTAG 検査対象ネットをインサーキット検査の対象から削除することにより、総合的に不良検出率を下げることなく、インサーキット検査を行なうことが可能となった。

また、Sitios7065 プリンタオプションで使用している基板では、JTAG 検査での検出率が高いため、インサーキット検査を削除している。

#### (4) その他

その他の効果としては、JTAG 検査対応のノードへのテストランド設定が不要となり、パターン設計の負荷軽減、テストランドによる基板占有面積の削減、さらに、ファンクション検査でロジック上どうしても検査不可能な信号に対する検査を可能にしたことによる検出率の向上などの効果も得られている。

## 5 まとめ

IEEE1149.1 (JTAG 検査) の適用においては、対応 ASIC の積極的な開発、検出率をより向上させる回路設計、効率的かつバスの競合に注意したテストパターン生成などにより、基板開発、量産展開において効果のあることが実証できた。今後も、電装基板の高密度化、複雑化がいつそう進み、電装基板の検査にかかる IEEE1149.1 (JTAG 検査) のウェイトも増してくると考えられ、そのため、OD カンパニーにとどまらずコニカ全体に IEEE1149.1 (JTAG 検査) を広げて行く計画である。今後は、非対応デバイスのさらなる検査方法検討など、検出率をより向上させる技術開発と、テストパターン生成にかかる時間の短縮、そして、その他の検査機との検査の重なり合いを考えた、より最適な基板検査システムを構築していくことが重要であると考えている。

## 6 謝辞

本取組みを開始するにあたり、積極的に基板回路への適用を推進していただいた OD カンパニー・システム開発統括部のプリンター電気ハード設計の関係者、また、実際に量産工程導入を推進していただき、その後の活用をフォローしていただいた(株)コニカ電子・都留カンパニーの関係者に深く感謝いたします。

### ●参考文献

- 1) IEEE Std 1149.1-1990  
(Includes IEEE Std 1149.1a-1993)
- 2) IEEE Std 1149.1b-1994