

対数変換形 CMOS イメージセンサの開発

The Development of a Logarithmic CMOS Image Sensor

角本 兼一* 矢野 壯* 楠田 将之* 掃部 幸一* 田中 良弘*
Kakumoto, Tomokazu Yano, So Kusuda, Masayuki Kamon, Koichi Tanaka, Yoshihiro

要旨

対数変換形CMOSイメージセンサの試作結果を報告する。有効画素数は640(H)×480(V)、画素サイズは8μm(H)×8μm(V)である。FPNキャンセル回路、積分回路を内蔵し、フリッカレスで、FPNキャンセルも可能な対数変換形CMOSイメージセンサを開発した。さらに、新しい画素駆動方法を開発することによって線形/対数変換自動切替駆動、および、動体抽出駆動を実現した。

Abstract

A new CMOS image sensor featuring logarithmic conversion has been developed. With 640 (H) by 480 (V) effective pixels and a cell size of 8μm (H) by 8μm (V), this new image sensor has both an FPN cancellation circuit and an integration circuit, and it presents clear images without FPN and without flicker noise in brightness fluctuation. In addition, the image sensor incorporates a new driving method that facilitates linear/log conversion and moving object extraction.

1 まえがき

近年、広ダイナミックレンジを特長としたイメージセンサの研究開発が盛んに行われている。特にITS (Intelligent Transport System) 用途を目的とした広ダイナミックレンジセンサは多数報告され、広ダイナミックレンジイメージセンサにかかる期待が非常に大きいことを表している。今回我々は、Fig. 1 にデバイス構成、Table 1 に主な仕様と諸特性を示すような、FPNキャンセル機能、積分機能を内蔵し、画素の駆動方法を工夫することで残像を低減したビデオレート対応VGA型対数変換形CMOSイメージセンサを試作した。さらに、線形センサとしての動作と対数変換形センサとしての動作を両立させる駆動方法を開発し、低照度時のコントラストと広ダイナミックレンジを両立させることに成功し、カラーセンサ化にも道を開いたので報告する。また、今回報告するセンサでは背景差分等の画像処理を行うことなく動体のみを撮像することができる、動体抽出駆動が実現できたので、併せて簡単に報告する。

* コニカミノルタテクノロジーセンター(株)
デバイス技術研究所 イメージングデバイス開発室

Table 1 Specifications and characteristics

読出し方式	全画素読出し
光学フォーマット	1/2.8 インチ
総画素数	654(H)×494(V)
有効画素数	640(H)×480(V)
画素サイズ	8.0μm(H)×8.0μm(V)
開口率	17(%)
カラーフィルタ	RGBベイヤー/モノクロ
チップサイズ	8.0mm(H)×7.0mm(V)
垂直走査方式	順次走査、飛越走査切替可
フレームレート	30 f/s
電源電圧	2.5(V)および3.3(V)
試作プロセス	0.25μmルールCMOSプロセス
ダイナミックレンジ	140(dB)以上
残像	2%
FPN	3mVp-p
動作温度	-40~85°Cで確認済み

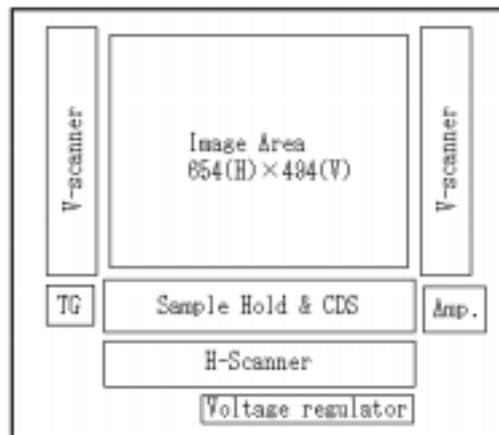


Fig.1 Device architecture

2 画素およびCDS回路構成

Fig. 2 に画素回路構成を示す。今回の試作では、赤外感度向上を目的とし、P基板を用いたフォトダイオードとPチャネルMOSFETを使用し、画素間FPNキャンセルと積分を両立させることを目的として、φVDを3値クロック化した。さらに、残像低減を目的としたφVPSの3値クロック化を行い、また、水平ブランク期間中にFPNキャンセルのための差分処理を行うために、Fig. 3 に示すCDS回路のカラム配置を採用した。

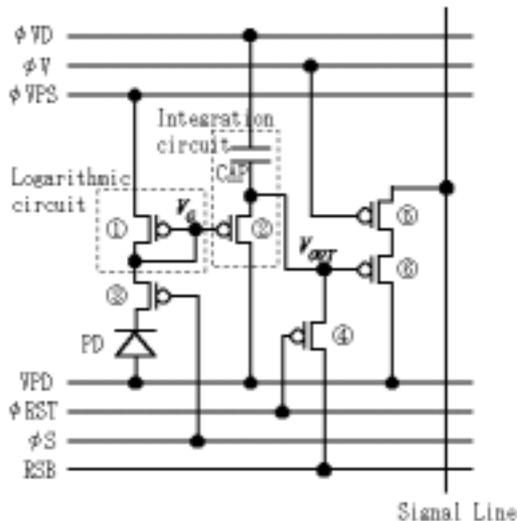


Fig.2 A pixel circuit

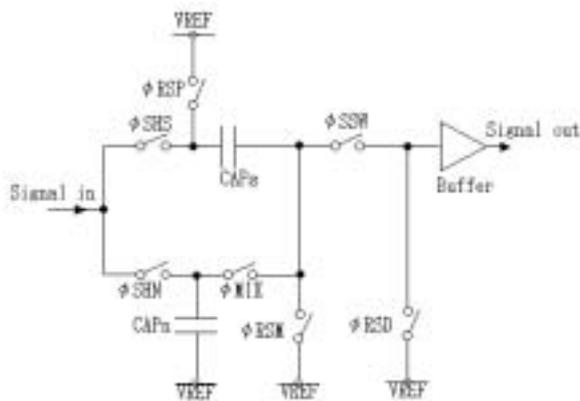


Fig.3 CDS circuit

3 対数変換形センサとしての動作

3.1 原理

3.1.1 画素部

まず、対数変換の原理を説明する。MOSFETでは、ゲート電圧が閾値以下の時、サブスレッショルド電流と呼ばれる微小電流が流れることが知られており³⁾、PチャネルMOSFETの場合、以下のように表される。

$$I_D = I_{D0} \cdot \exp\left[\frac{q}{nkT}(V_S - V_G + V_M)\right] \quad (1)$$

k : ボルツマン定数, T : 絶対温度, q : 素電荷,
 $n = (C_0 + C_D) / C_0$, C_0 : ゲート絶縁膜容量,
 C_D : 空乏層容量, V_G : ゲート電位,
 V_S : ソース電位, V_{th} : 閾値,
 $I_{D0} = (W/L) \mu_n C_0 (1/n) (nkT/q) \exp[-1]$
 W : MOSFETチャネル幅, L : MOSFETチャネル長
 μ_n : キャリア移動度

(1)式より、Fig. 2のMOSFET①のゲート電位 V_G は

$$V_G = V_{PS} + V_{tlog} - \frac{nkT}{q} \ln\left(\frac{I_D}{I_{D0}}\right) \quad (2)$$

となる。ここで、 $I_D = I_{PD}$ (I_{PD} : 光電流) であることから、(2)式より、以下の(3)式のようになる。

$$V_G \propto \frac{kT}{q} \ln\left(\frac{I_{PD}}{I_{D0}}\right) \quad (3)$$

これが対数変換の原理であり、各画素に対数変換回路を持たせることで、広ダイナミックレンジが実現できる。

積分回路部の出力 V_{OUT} は、MOSFET②を流れる電流と積分回路部キャパシタCAPを流れる電流が等しいことから、

$$\exp\left[\frac{q}{nkT}(V_{OUT} + V_{th} - V_{tlog} - V_{PS})\right] dV_{OUT} = -\frac{I_D}{C} dt \quad (4)$$

V_{PS} : ソース電圧, V_{tlog} : MOSFET①の閾値

V_{th} : MOSFET②の閾値,

V_{OUT} : MOSFET②のソース電位,

$t = 0$ の時、 $V_{OUT} = V_{RSB}$, $I_D = I_{PD}$ として(4)式を積分すると、積分回路部の出力 V_{OUT} として次式を得る。

$$V_{OUT} = V_{PS} + V_{tlog} - V_{th} + \frac{nkT}{q} \ln\left\{\alpha - \frac{q}{nkTC} \int I_{PD} dt\right\} \quad (5)$$

$$\text{ただし、} \alpha = \exp\left[\frac{q}{nkT}(V_{RSB} + V_{PS} + V_{tlog} - V_{th})\right]$$

V_{RSB} : 積分回路部リセット電圧

したがって、出力 V_{OUT} は光電流 I_{PD} の積分値を対数変換した値となることが判る。

本デバイスはローリングシャッタ方式のため、フリッカノイズは横筋となって現れるはずであるが、 I_{PD} を積分することで、フリッカノイズは発生せず、安定した画像を得ることが出来る。

次に、Fig. 2と水平ブランク期間中の画素部タイミングチャートを表すFig. 4を用いて画素部の動作を説明する。時刻 t_1 までは積分回路部にて、映像信号の積分を行っている¹⁾。時刻 $t_1 \sim t_2$ の間、行選択信号 ϕ_V をLoにすることでMOSFET⑤をONし、垂直信号線に映像信号を読み出す。同時刻に ϕ_{VD} を高電位(VDH)から中電位(VDM)にすることで、 V_{OUT} をVDH-VDM分だけ下方にレベルシフトする。このレベルシフトは V_{OUT} をMOSFET⑤、⑥、および、画素外に配置した負荷MOSFETによって構成したソースホロワアップの動作範囲に合せ込むためである。時刻 t_3 に ϕ_S をHiにしてMOSFET③をOFFすることで、MOSFET①とフォトダイオードを切り離し、時刻 $t_4 \sim t_5$ で ϕ_{VPS} をHiにすることでMOSFET①のゲート部のリセットを行う。時刻 t_5 の直前のMOSFET①のゲート

電位 V_G は(2)式より

$$V_G \cong V_{PSH} + V_{ilog} \quad (6)$$

V_{PSH} ：時刻 $t_4 \sim t_5$ のMOSFET①のソース電位(V_{PSH})となり²⁾、時刻 $t_5 \sim t_9$ においても、フォトダイオードを切り離しているため、 V_G は入射光に関係なく(6)式の値で保持されており、MOSFET①の閾値と V_{PSH} のみが V_G に反映されることが判る。時刻 $t_4 \sim t_6$ でMOSFET④をONにして V_{OUT} のリセットを行い、時刻 $t_6 \sim t_7$ の期間において、雑音信号の積分を行う。時刻 $t_6 \sim t_7$ の間中は積分回路の入力は(6)式に示す値であり、この時の V_{OUT} は、 V_{PSH} とMOSFET①の閾値に応じた値となり、画素毎のMOSFET①の閾値ばらつきを読み出すことができる。

次に、時刻 $t_7 \sim t_8$ に雑音信号を垂直信号線に読み出す時、 ϕ_{VD} を低電位(V_{DL})とすることで、 V_{OUT} を $V_{DH} - V_{DL}$ 分だけ下方にレベルシフトする。今回試作した「 ϕ_{VPS} リセット方式」²⁾の場合、暗時映像信号と雑音信号にこの方式特有のオフセットが発生する。このオフセットは(6)式、および、以下の式で説明される。

暗時 V_G (V_{Gdark}) は以下の(7)式で表される。

$$V_{Gdark} = V_{PSL} + V_{ilog} - \frac{nkT}{q} \ln \left(\frac{I_{Dark}}{I_{D0}} \right) \quad (7)$$

V_{PSL} ：映像信号積分期間中のMOSFET①のソース電位
 I_{Dark} ：暗電流

V_{Gdark} は暗電流が極めて少なく、 $I_{Dark} = I_{D0}$ と仮定できる時、最も高い値となるが、その状態でも、(6)式の V_G と(7)式の V_{Gdark} の差は $V_{PSH} - V_{PSL}$ となり、具体的には600mVのオフセットとして現れる。 ϕ_{VD} はソースホロワンプの動作範囲に合せ込むだけでなく、このオフセットを減少させる目的でもある。 ϕ_{VD} をクロック化していないときの暗時映像信号を V_{OUTS} 、雑音信号を V_{OUTN} とした場合、

$$\Delta VD = V_{DM} - V_{DL} = V_{OUTN} - V_{OUTS}$$

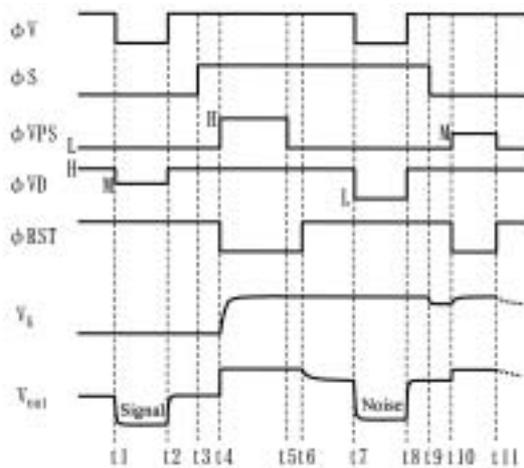


Fig.4 Timing chart for pixel

とすることで、このオフセットを除去することができる。これまでの動作により、映像信号、および画素間FPN情報を含んだ雑音信号の読出しは完了している。

時刻 t_9 以降の動作は残像低減のためのものである。時刻 $t_8 \sim t_9$ において、MOSFET③のドレインとフォトダイオードPDのカソードの接合部寄生容量には、映像信号情報が残っており、その残存信号は残像の原因となる。時刻 t_9 にMOSFET③をONし、MOSFET①とフォトダイオードPDを接続すると、残存信号により V_G の電位は低下する。時刻 $t_{10} \sim t_{11}$ の期間、MOSFET①のソース電位を中電位 (V_{PSM}) とすることで、再度、MOSFET①のゲート部のリセットを行い、同時にMOSFET③のドレインとフォトダイオードPDのカソードの接合部の残存信号もリセットする。理論上、時刻 $t_4 \sim t_5$ のリセット期間が十分に長ければ、時刻 $t_{10} \sim t_{11}$ 期間のMOSFET①のソース電位は高電位で良いが、実際には、時刻 $t_{10} \sim t_{11}$ 期間のMOSFET①のソース電位を高電位とすると、次フレーム撮像開始時のMOSFET①のゲート電位が雑音信号よりも高電位になってしまうことが判っている。これは、本リセット方式の場合、MOSFET①のソース電位を高電位とするとMOSFET①のゲート電位は即座に(6)式の値に遷移し、その後は微小なサブスレッショルド電流での充電による変化であるため、時刻 $t_4 \sim t_5$ の間でのリセットが完全にはできていないことを示唆している。よって、時刻 $t_{10} \sim t_{11}$ 期間のMOSFET①のソース電位を中電位としている。そして、次フレームの積分開始電位を一定にするために、積分回路部キャパシタCAPを再度リセットし、時刻 t_{11} 以降で次フレームの撮像を行う。

ここで課題となるのは、ほぼ1フレーム時間 (1/30秒) 積分される映像信号と、1 μ 秒程度しか積分できない雑音信号の両方が(5)式を満足するか否かであり、満足すればCDS回路での差分処理により、MOSFET①、②の閾値の項は消去され、画素間FPNはキャンセルできる。

3. 1. 2 CDS回路部

Fig. 5にCDS回路部のタイミングチャートを示す。スイッチON時をHi、OFF時をLoとして描いてあり、 ϕ_V はFig. 4との関連付けを行うために参考として記載した。また、画素から入力される映像信号電位を V_s 、雑音信号電位を V_n とし、CAPs, CAPnの容量を共にCとする。

時刻 $t_a \sim t_j$ の期間 ϕ_{RSD} をONし、出力バッファの入力部をリセットし、時刻 $t_b \sim t_e$ の期間 ϕ_{RSM} をONすることで、CAPsの出力バッファ側の端子をリセットする。時刻 $t_c \sim t_d$ において、映像信号をCAPsのSHSスイッチ側にサンプリングし、時刻 $t_d \sim t_f$ の期間、映像信号電荷 Q_s はCAPsのSHSスイッチ側に $Q_s = C(V_{REF} + V_s)$ として保持される。時刻 $t_e \sim t_f$ に ϕ_{RSM} をoffしてCAPsの出力バッファ側の端子を浮遊させ、時刻 t_f に ϕ_{RSP} をONすることにより、映像信号電荷 $Q_s' = C(V_{REF} - V_s)$ がキャパシタ

CAPsの出力バッファ側の端子に保持される。時刻 $t_g \sim t_h$ において雑音信号をCAPnにサンプリングし、時刻 $t_h \sim t_i$ の期間、雑音信号電荷 Q_n はCAPnに $Q_n = C(V_{REF} + V_N)$ として保持される。時刻 t_i に ϕ_{MIX} をONすることにより容量結合すると電荷は $Q_s' + Q_n = C(2V_{REF} + V_N - V_s)$ となる。そして時刻 t_k に ϕ_{SSW} がONすると、出力バッファの入力電圧は $(V_N - V_s)/2$ となる。つまり、容量結合により映像信号と雑音信号の差分処理ができる。この動作は全て水平ブランク期間中に行うため、水平走査回路により、順次読み出される時点で既に画素間FPNは除去されている。

一方、本CDS方式の場合、出力バッファは列ごとに配置されており、出力バッファの入出力特性にオフセットばらつきがある場合、縦筋が発生する。そこで毎フレーム、画素信号を読み出す前に ϕ_{RSD} が読み出し期間中に常時Hiとなる期間を数行分作り、DCバイアスである V_{REF} を出力バッファに入力するようにした。この期間の出力信号は出力バッファのオフセットばらつきのみを含んだ信号であるので、その出力信号を保持し、画素信号との差分を取ることで縦筋のキャンセルが可能である。

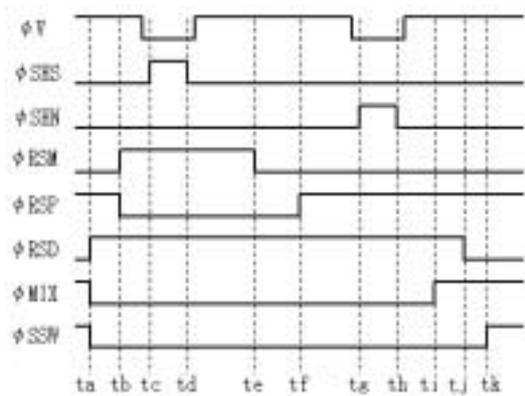


Fig.5 Timing chart for CDS circuit

3. 2 デバイス特性

3. 2. 1 光電変換特性

Fig. 6に本デバイスのLOG駆動時の光電変換特性を「LOG」で示す。横軸はデバイス面照度を対数スケールで表してあり、縦軸にはセンサ出力電圧を表した。今回の測定においては、準備できた光源の最高照度（約220,000Lux）まで対数特性が維持出来ているため、本デバイスのダイナミックレンジは140dB以上であると言える。

また、本デバイスでは、撮像時のMOSFET①のソース電位（VPSL）とリセット時のMOSFET①のソース電位（VPSH）の差を大きくすることで、Fig. 6に「LINEAR + LOG」で示すように低照度時は線形イメージセンサ、高照度時は対数変換形イメージセンサの特性を持たせることもできる。

線形・対数変換の切替わるデバイス面照度は、Fig. 6の

特性例ではデバイス面照度約10Luxであるが、任意の設定が可能であり、以下で説明される。

MOSFET①で光電流の対数変換を行うには、MOSFET①にサブスレッショルド電流が流れる必要があるが、撮像開始時（Fig. 4の時刻 t_{11} ）のMOSFET①のゲート電位 $V_G < V_{PSL}$ でなければ電流は流れない。VPSHとVPSLの差を大きくした場合、撮像開始時には $V_G > V_{PSL}$ となっており、フォトダイオードで発生した光電流はMOSFET①のソースからではなく、MOSFET①のゲートからフォトダイオードのアノードへ流れ、 V_G は光電流に応じて低下する。そして $V_G = V_{PSL}$ となったとき、ようやくMOSFET①に電流が流れ、対数変換が行われる。この $V_G > V_{PSL}$ である期間は線形イメージセンサと同一のメカニズムで電荷の蓄積が行われているため、光電変換特性は線形化される。よって、VPSLとVPSHの差を変えることで、線形化される輝度範囲を変えることができるので、任意の特性設定が可能となる。これにより、高コントラストと広ダイナミックレンジの両立が可能となり、カラーセンサの実用化に道を開いた。

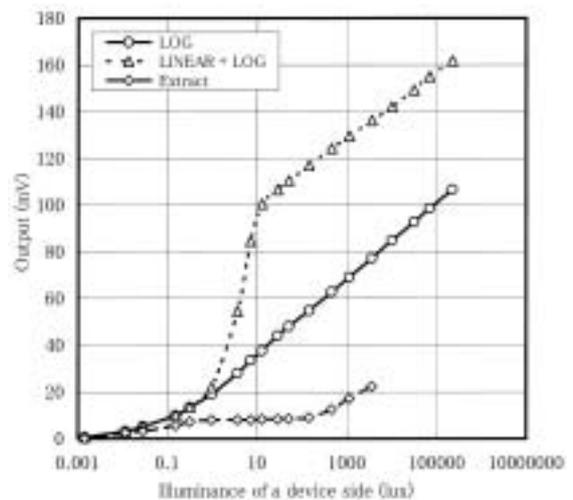


Fig.6 Photo conversion characteristics

3. 2. 2 応答性（残像）

我々が以前報告した対数変換形CMOSエリア固体撮像素子¹⁾を用いた同実験では、約20%の残存信号があったが、今回の試作では、残像低減駆動により残存信号をTable 1に示す通り2%（従来の1/10）に低減することができ、十分な効果を実証できた。

3. 2. 3 FPN キャンセル

FPNキャンセルについては、計算上、製造工程に起因する対数変換部MOSFETの閾値と積分回路部MOSFETの閾値の差の画素間ばらつきや、水平読み出し回路部の増幅用MOSFETの列間閾値ばらつきが、センサ出力換算で50mV程度存在すると考えられる。今回試作したデバイスのセンサ出力を実測するとFPNは3mVであった。以前の報告²⁾で、積分回路を持たない場合の「 ϕ_{VPS} リセット

方式」のFPNは2.8mVとのデータがあり、今回の実験結果とほぼ一致する。よって、今回の試作でFPNキャンセル+積分機能は実現できたと考える。

以上により、雑音信号は、微小な積分期間でも対数変換部、および、積分回路部MOSFETの閾値ばらつきを反映した値となっており、(5)式を満たすことが確認できた。

4 動体抽出形センサとしての動作

4.1 原理

Fig. 4 に沿って画素動作説明を行う。対数変換形イメージセンサと異なる部分は、時刻 $t_4 \sim t_5$ の対数変換部のリセット電圧のみである。時刻 $t_4 \sim t_5$ にMOSFET①ゲート部のリセットを行うが、この時、VPSHのみを対数変換形の場合より低電圧とし、MOSFET①ゲート部に残存信号がある状態にすることで、雑音信号には前述の残存信号情報が含まれ、対応した値となる。以降の動作については、対数変換形と同様である。

MOSFET①リセット後の残存信号について説明する。MOSFET①ゲート部リセットが速やかに進むのは $VPSH - V_G > V_{th}$ の期間であり、リセットが進み $VPSH - V_G < V_{th}$ になると、サブスレッショルド電流による非常にゆっくりとしたリセットとなる。動体抽出形イメージセンサではVPSHを低電圧にしているため、リセット開始時から既にサブスレッショルド電流によるリセットが行われていると推測できる。そのため十分なリセットができず、リセット後の V_G 値はリセット前の V_G 値に依存する。つまり、各画素のMOSFET①ゲート電圧は、映像信号から一定の電圧分だけリセットされ、撮像時 $V_G : V_{GS}$ 、リセット時 $V_G : V_{GN} = V_{GS} + A$ (A ：一定値)となる。

入射光に変化が無い場合、映像信号、雑音信号共に、MOSFET②ソース電圧 V_{OUT} は各々 V_{GS} 、 V_{GN} に応じた出力となるので、後段のCDS回路で差分処理を行うとセンサ出力は A に対応した一定値となり、撮像時 $V_{OUT} : V_{OUTS}$ 、リセット時 $V_{OUT} : V_{OUTN}$ とすると、 $V_{OUTN} = V_{OUTS} + B$ (B ：一定値)となり、被写体情報は映し出されないことになる。

1フレーム内に入射光の変化がある場合、映像信号は撮像時の入射光の変化に応じて V_{GS} が変化し、対応した積分結果となるが、雑音信号は時刻 t_3 にフォトダイオードPDを切り離す直前の入射光に依存した V_{GN} が雑音信号積分期間中保持されるので、 V_{GN} のみ対応した積分結果となり、結果 $V_{OUTN} = V_{OUTS} + B$ ではなくなる。

入射光、 V_G 、 V_{OUT} の各々の変化を模式的に表したFig. 7を用いて具体的に説明する。図中にResetとして記したタイミングは ϕ_{VPS} によるMOSFET①ゲート部のリセットを表しており、Resetを基準に左側が撮像時、右側がリセット時である。基本となるのはFig. 7の①の状態であり、入射光変化が無い状態を表している。入射光変化の

例として②明→暗→明、③明→暗、④暗→明の場合を説明する。

V_G は撮像時には入射光の変化に応じて変化し、リセット時にはフォトダイオード切り離し時の値から一定値 A の分だけリセットされる。積分回路の出力である V_{OUT} は V_G に応じて値が決まる。②明→暗→明の場合、撮像中に入射光が少ない期間があったため、映像信号の積分結果は①の場合に比べ高い値となっている。しかし、フォトダイオード切り離し時の V_G 値が①と等しいため、雑音信号は①と同値となる。差分処理後の値は $B > B_1$ となり、画面表示は①と比べて黒くなる。また、③明→暗の場合、②同様、撮像中に入射光が少ない期間があったため、映像信号の積分結果は①の場合に比べ高い値となる。

雑音信号についてはフォトダイオード切り離し時の V_G 値が①より高いため、雑音信号は①の場合より高い値となる。結果、差分処理後の値は $B < B_2$ となり、画面表示は①よりも白くなる。④暗→明の場合は映像信号の積分結果は①と比べ高くなり、雑音信号は①と同値であるので、 $B > B_3$ となり、画面上では①よりも黒くなる。

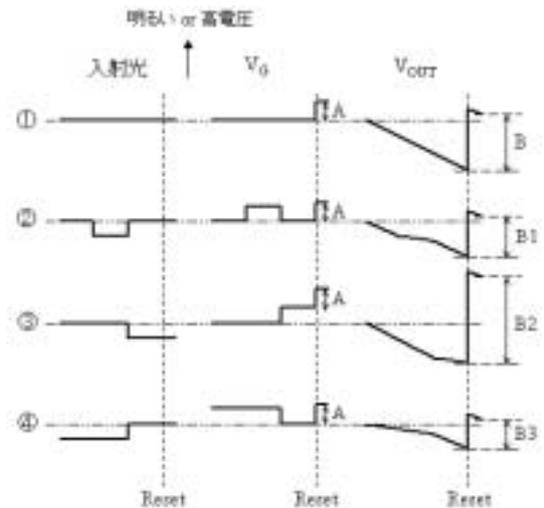


Fig.7 Image of V_G & V_{OUT}

4.2 デバイス特性

動体抽出形イメージセンサとは、実際には入射光の変化部のみ出力が変化するものであり、これはフレーム間の差分処理を行う従来方式の場合も同様である。Fig. 6に「Extract」で示す動体抽出駆動時の光電変換特性は、約0.3Lux~150Luxの範囲で出力が一定値となっており、その範囲で動体抽出が可能であることを示している。

約150Lux以上の部分については、 V_G の値が低くなるためリセット開始時には $VPSH - V_G > V_{th}$ となり、対数変換駆動になっていると推測できる。約0.3Lux以下の部分については、対数変換駆動時においても線形的な挙動を示す領域であり、サブスレッショルド電流が流れる前に幾分かキャリアの蓄積が行われるため、それが映像信号と

雑音信号の差分が一定にならない原因と考えられる。

5 撮像例

Fig. 8, 9 は今回試作した対数変換形イメージセンサの蛍光灯下での撮像例である。白熱電球と一般被写体が同時に撮影出来ており、広ダイナミックレンジが確認できる。なお、蛍光灯によるフリッカノイズは横筋となって画面に現れるはずであるが、積分回路の効果により、フリッカノイズは発生していない。



Fig.8 Image by Logarithmic mode(Ligh off)



Fig.9 Image by Logarithmic mode(Light on)

Fig.10～13に動体抽出形センサの撮像例、および、演算結果を示す。被写体、照明条件は同一で、右から左に歩いている瞬間である。Fig.10は対数変換形イメージセンサで撮像を行い、あるフレームを切り出したものであり、Fig.11はFig.10の次フレームを切り出したものである。市販のソフトウェアを用いFig.11－Fig.10の減算処理を行い、オフセット調整のみ施したものがFig.12に示す画像である。また、Fig.13に示す画像は動体抽出形イメージセンサとして駆動した場合の撮像結果である。静止している背景は一切撮像されず、動体の輪郭だけが撮像されてい

るのが見て取れる。尚、Fig.13の画像はオフセット処理以外の信号処理を行っていないものである。Fig.12,13を比較すると非常に似通っており、動体抽出形イメージセンサは、従来、フレーム間の差分処理をして動体を検知していたことを信号処理無しで実現していることが確認できた。



Fig.10 n frame



Fig.11 n+1 frame



Fig.12 (Fig.11-Fig.10)



Fig.13 Extract mode

6 まとめ

FPNキャンセル機能、積分機能を内蔵したビデオレート対応VGA型対数変換形CMOSイメージセンサを0.25umルールCMOSプロセスを用いて試作し、FPNキャンセル+積分を実現した。さらに、Linear/LOG駆動により、高コントラストと広ダイナミックレンジの両立を達成し、カラー化、実用化の目処が立った。動体抽出センサは、複雑な信号処理を必要とせず、駆動電圧変更のみで対数変換/動体抽出の切替えを実現した。

なお、本稿は映像情報メディア学会誌2003年8月号、9月号に掲載された論文「FPNキャンセル・積分機能内蔵対数変換形CMOSイメージセンサ」⁴⁾、研究速報「動体抽出形CMOSイメージセンサ」⁵⁾を編集・加筆したものである。

●参考文献

- 1) 萩原義雄、角本兼一、中村里之、草鹿泰、鐘堂健三、高田謙二：映像情報メディア学会誌，54，2，pp.224～228（2000）
- 2) 萩原義雄：映像情報メディア学会誌，55，7，pp.1039～1044（2001）
- 3) R. M. Swanson and J. D. Meindl: IEEE J. Solid-state Circuits, SC-7, 2, pp.146～153（Apr.1972）
- 4) 角本兼一、矢野壯、楠田将之、掃部幸一、田中良弘：映像情報メディア学会誌，57，8，pp.1013～1018（2003）
- 5) 角本兼一、矢野壯、楠田将之、掃部幸一、田中良弘：映像情報メディア学会誌，57，9，pp.1115～1118（2003）