

LSI 検証の効率化技術

Highly Efficient Approach to LSI Verification

河 邊 恭*

Takashi KAWABE

要旨

コニカミノルタでは、MFPやプロダクションプリンターなどの様々なシステム製品向けにLSIを開発している。システム製品の高機能化と多機能化を実現するために、LSIの回路規模が増大し開発難易度が飛躍的に上がっている一方で、製品競争力を高めるためにLSI開発期間の短縮が求められている。

そこで我々は、シノプシス社(旧EVE社)のZeBuエミュレーターを採用してシミュレーションの高速化を実現し、LSI検証を効率化することでLSI開発期間を短縮した。

そして、エミュレーターを最も有効に活用するために、シミュレーションが高速かつ適応性の高いトランザクションレベルエミュレーションモードを使用し、さらにそのシミュレーションを高速化する技術を開発した。

エミュレーターにおけるシミュレーション速度のボトルネックを解消するために、「トランザクター構成」「メモリデータロード/ストア」「セットアップ時間」の3つを最適化することで、通常のシミュレーターに対して200倍以上の高速化を実現した評価結果を紹介する。

Abstract

Konica Minolta has developed LSI for system products such as multifunction peripherals (MFPs) and production printers. But while achieving high functionality and multifunctionality of LSI means increased circuit complexity and increased difficulty in LSI development, LSI development must proceed swiftly in order to heighten product competitiveness.

One obstacle to such swift LSI development is LSI verification, which occupies over half the total LSI development time. To shorten the LSI verification process, we sought to quicken our LSI verification's simulation element by adopting the ZeBu emulator, manufactured by Synopsys, Inc. (formerly EVE Inc.). To achieve high-speed simulation most effectively, we utilized the emulator in a transaction level emulation mode, which offers high-speed simulation with high adaptability. Further technologies which accelerate simulation speed were also developed.

By analyzing the transaction level emulation mode, it was found that communication between the emulator and the test bench was a bottleneck to speed. To eliminate this bottleneck, three high-speed technologies were introduced: 1) optimization of transactor composition by consolidating plural transactors, 2) memory load/store communication optimization using the ZeBu's "back door access" function and binary format files, and 3) setup time optimization. This report describes the result of evaluations in which simulation speeds were realized 200 or more times higher than with a regular simulator.

執筆者



河邊 恭

* コニカミノルタテクノロジーセンター(株)
要素技術開発センター アーキテクチャ開発室

1 はじめに

MFPやプロダクションプリンターをはじめとする事務機器、医療機器、産業用機器などのシステム製品は、激しい市場競争と多様化する市場ニーズを満足するために、高機能化および多機能化が進む一方で、製品開発期間の短縮が求められている。

システム製品の中核部品であるLSIは、システム製品の高機能化/多機能化と相まって、回路規模が増大し、かつ開発難易度が高まっているが、同時に開発期間の短縮も求められている。LSI開発工程の中で検証工程が占める割合は50%以上とも言われ、この検証工程の期間短縮がLSI開発における重要課題となっている。

我々は検証工程の期間短縮を実現する技術に継続して取り組んでいるが、今回は特にエミュレーターを中心とした技術について報告する。

2 LSI検証の課題

LSIの開発工程は大きく分けて“仕様検討工程”，“設計工程”，“検証工程”の3つで構成されている (Fig. 1)。

検証工程は，“シミュレーション”，“シミュレーション結果の解析”，“不具合箇所の解析と修正”で構成されており、回路規模増大と多機能化に伴う検証項目数の増大によるシミュレーションの長時間化が課題である。

課題解決のため、我々はエミュレーター、検証メソッドロジー、アサーションといった検証技術を導入した。エミュレーターはシミュレーションの高速化を目的とする技術である。また検証メソッドロジーは主に結果解析の効率化を目的とする技術で、アサーションは主に不具合箇所の解析における効率化を目的とする技術である。

我々は各技術について取り組むとともに、各技術を統合する技術にも取り組んでいる。

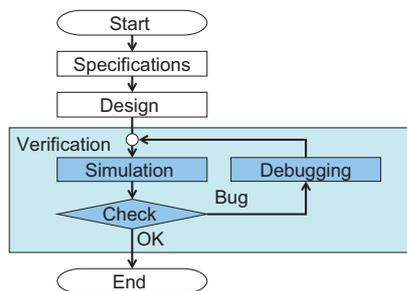


Fig. 1 LSI development flow. The verification process consists of simulation, result analysis, and debugging.

3 エミュレーター技術

3.1 エミュレーターの構成と使用モード

エミュレーターは、通常のソフトウェアシミュレーターに対してハードウェアを使用しており、シミュレーションの高速化が可能な装置である。

コニカミノルタではシノプシス社(旧EVE社)のZeBuシリーズエミュレーターを採用している。ZeBuは複数の汎用FPGAを搭載したボードを組み合わせる構成である (Fig. 2)、検証対象回路をFPGAに搭載することで高速動作させ、シミュレーションを加速することが可能である。

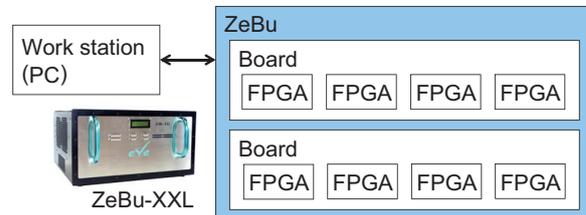


Fig. 2 ZeBu architecture. The ZeBu consists of a multi-circuit board and a multi-FPGA.

ZeBuは以下の3つのエミュレーションモードを使用することが可能であり、ユーザーは検証対象回路の特性や検証目的に応じてモードを選択することができる (Fig. 3)。

モードA. 合成可能テストベンチ

モードB. シミュレーターとの協調シミュレーション

モードC. トランザクションレベルエミュレーション

我々は、以前は「合成可能テストベンチ」モードを多く使用していたが、昨今の複雑なシステムの検証を実現するために、「トランザクションレベルエミュレーション」モードを多く使用するようになってきている。

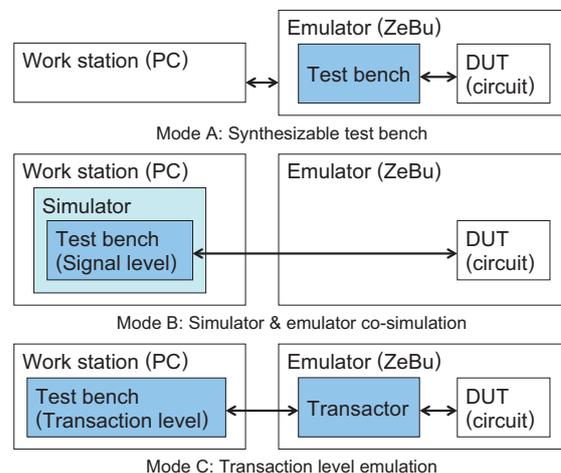


Fig. 3 ZeBu emulation modes. The ZeBu has three emulation modes.

3.2 合成可能テストベンチ

合成可能テストベンチモードは、検証対象回路だけでなく検証用のテストベンチもエミュレーターに搭載するモードで、シミュレーション速度が最も速い。一方で、テストベンチをエミュレーターに搭載する為にエミュレーター合成可能なテストベンチを構築する必要があるが、検証対象回路や検証目的によってはテストベンチ設計が困難もしくは不可能という問題がある。

3.3 シミュレーターとの協調シミュレーション

シミュレーターとの協調シミュレーションモードは、シミュレーター使用時と共通のテストベンチを使用することが出来るため、ユーザーにとっては取り扱いが容易である。しかしテストベンチを実行するシミュレーターとエミュレーター間の通信オーバーヘッドが大きいため、シミュレーション速度を一定以上に高速化することが出来ないという問題がある。

3.4 トランザクションレベルエミュレーション

トランザクションレベルエミュレーションモードは、シミュレーション速度が速い、かつ適応性が高い（様々な回路に適応可能）という特長がある。

トランザクションレベルとは信号レベルと対比する表現で、メッセージ単位や通信単位などのレベルであり、信号レベルより抽象度の高い通信レベルである。

通信の抽象度を上げることでPCとZeBu間の通信量を低減し、シミュレーションを実効的に高速化させることが可能である。またPC上で実行するテストベンチがトランザクションレベルになり、信号レベルのテストベンチより飛躍的に高速化させることが可能である。

我々はZeBuのZEMI-3トランザクターを使用し、トランザクターをSystemVerilog DPI-Cで、テストベンチをC++言語で開発した。

4 エミュレーター検証環境の最適化

トランザクションレベルエミュレーションは非常に高速なシミュレーションが可能だが、その高速化を妨げるボトルネックが少なからず存在する。

我々が解析した結果、エミュレーターとテストベンチ間の通信時間に起因する問題がボトルネックの1つであることが分かった。よって我々はこれらのボトルネックの最小化によるトランザクションレベルエミュレーションの高速化ならびに評価を行った。

4.1 トランザクター構成の最適化

トランザクターは、信号レベルの回路とトランザクションレベルのテストベンチ間の抽象度変換を行うブロックである。つまりトランザクター構成がトランザクション単位（通信単位）を決定する。トランザクションの通信時間は基本的には通信量に比例するが、同一通信量であれば「小通信量×多数回通信」より「大通信量×少数回通信」の方がシミュレーション時間が短い。これはトランザクションの度に発生する「エミュレーターが停止するオーバーヘッド」を少なくすることが出来るからである。

よって我々は複数のトランザクターの集約によってトランザクション回数を削減するとともに、DUTに与える画像データをZeBuのBack Door Access機能を使って高速転送する構成を採ることでトランザクターの最適化を行った（Fig. 4）。

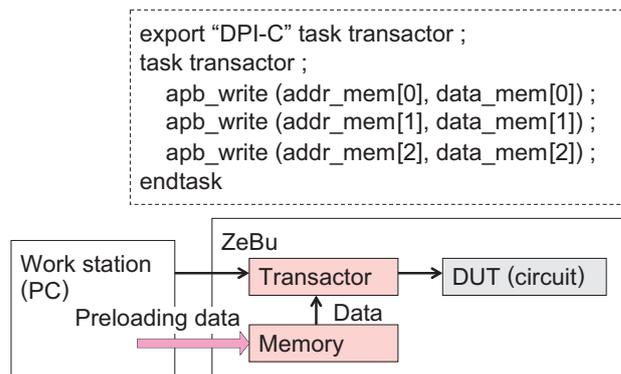


Fig. 4 Transactor optimization. The transactor was optimized by consolidation of transactors and use of the ZeBu's "back door access" function for high-speed transactor of image data.

4.2 メモリデータロード/ストアの最適化

画像処理回路の検証では画像のメモリへのロード、メモリからのストアが多く発生する。エミュレーターではシミュレーションが高速化される為、メモリアクセス時間のシミュレーション時間全体に占める割合が増大し、シミュレーション時間のボトルネックとなる。

トランザクションレベルエミュレーションの場合、通常のDUTに与えるデータと同様に、トランザクターを介してメモリに対してデータのロード/ストアを行うことが出来るが、ZeBuが有するBack Door Access機能を使用するとトランザクターよりも遥かに高速な転送が可能である（Fig. 5）。

我々はBack Door Access機能の使用に加えて、データファイルフォーマットをバイナリデータに最適化した。この結果、従来のテキストデータと比較して、メモリアクセス時間において約40倍の高速化（6.5sec→0.16sec）を達成した。

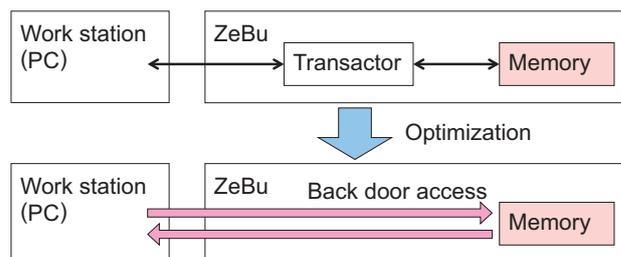


Fig. 5 Memory load/store optimization. Memory load/store was optimized by using the ZeBu's "back door access" function and binary format files.

4.3 セットアップ時間の最適化

エミュレーターのセットアップ時間は、主に回路データ等をエミュレーターにロードするコンフィギュレーション時間である。シミュレーターではシミュレーションが低速なため、セットアップ時間がボトルネックになることは少ないが、シミュレーションが高速なエミュレーターではセットアップ時間の影響が相対的に大きくなる可能性がある。

我々はエミュレーション全体の実行時間を改善する為に、セットアップ回数の最小化を採用した。Fig. 6のように1回のセットアップで複数回のシミュレーションを実行できるようにテストベンチ構造を変更することで、セットアップ時間を最適化した。

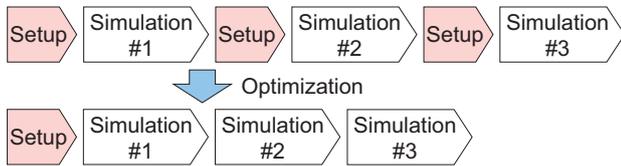


Fig. 6 Setup optimization. Setup time was optimized by changing test bench composition so that multiple simulations could be performed in one setup.

4.4 評価結果

今回の評価で使用した環境をFig. 7に示す。評価対象回路はメモリを含み、画像のメモリへのロードとメモリからのストアを行う。トランザクターは主に回路内のレジスタ設定と割り込み送受信を行う。

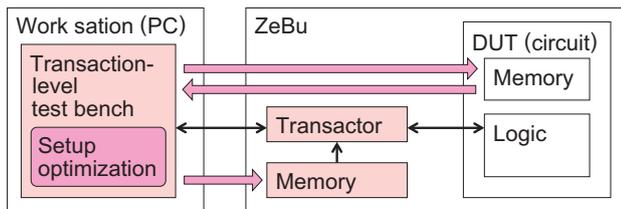


Fig. 7 Evaluation environment.

本評価環境にて「トランザクター構成」、「メモリデータロード/ストア」、「セットアップ時間」の最適化を行い、シミュレーション時間を測定した結果をFig. 8に示す。3つの最適化を実施した結果、シミュレーターと比較して約204倍の高速化を実現できた。

この結果より、トランザクションレベルエミュレーションを採用することでシミュレーターに対して数十倍の高速化が実現でき、さらに最適化を実施することで数百倍の高速化を実現できることが分かった。

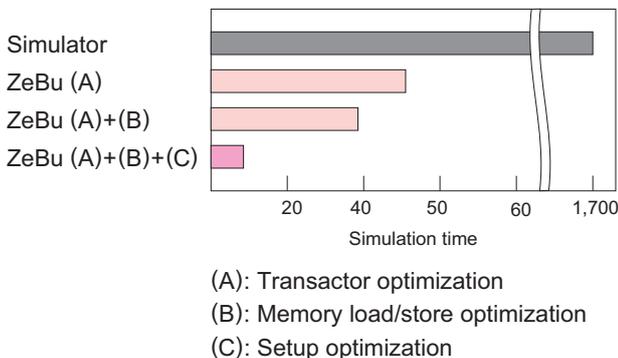


Fig. 8 Result of evaluation. Speed improved over 200 times as a result of our three optimizations.

5 検証メソッドロジ

シミュレーションの高速化について、トランザクションレベルエミュレーションと、その最適化手法を説明した。しかし検証工程にはFig. 1に示されるように「シミュレーション」の他に「シミュレーション結果の解析」「不具合箇所解析と修正」といった工程もあり、それらの効率化も必要である。

我々はトランザクションレベルエミュレーションに加えて、検証メソッドロジの概念になった、Test Case, Reference Model, Score Boardの実装/自動化による「シミュレーション結果の解析」の効率化と (Fig. 9), アサーション (SystemVerilog Assertion) による「不具合箇所解析と修正」の効率化を統合し、検証工程全体を効率化する技術に取り組んでいる (Fig. 10)。

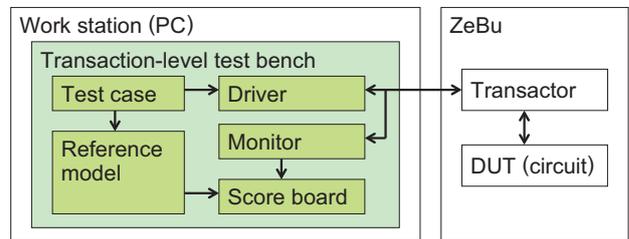


Fig. 9 Verification methodology environment.

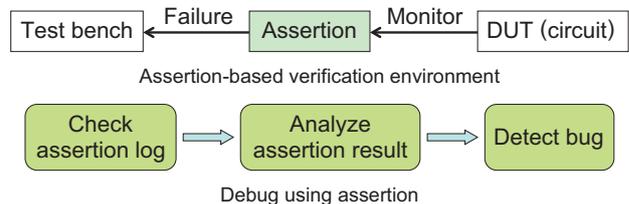


Fig. 10 Assertion-based verification.

6 まとめ

LSIの検証工程におけるシミュレーションの高速化を目的に、ZeBuエミュレーターに注目し、そのトランザクションレベルエミュレーションの最適化を行った。エミュレーターにおけるシミュレーション実行速度のボトルネックを解消する3つの技術検討を行い、通常のシミュレーターに対して200倍以上の高速化を確認した。

またシミュレーション結果の解析と、不具合箇所解析と修正の効率化を目的に、検証メソッドロジの概念になった効率化手法について説明した。

以上の技術開発により確立された技術は、LSI開発を効率化するための基盤技術として、既に社内の多くのシステム製品開発に適用している。今後は、これらの技術をより高度化し、今後も大規模化するLSI開発に対応していく。